

HUB-IC MKY02

ユーザーズマニュアル
(ハイスピードリンクシステム用)

ご注意

1. 本ガイドに記載された内容は、将来予告なしに変更する場合があります。本製品をご使用になる際には、本ガイドが最新の版数であるかをご確認ください。
2. 本ガイドにおいて記載されている説明や回路例などの技術情報は、お客様が用途に応じて本製品を適切にご利用をいただくための参考資料です。実際に本製品をご使用になる際には、基板上における本製品の周辺回路条件や環境を考慮の上、お客様の責任においてシステム全体を十分に評価し、お客様の目的に適合するようシステムを設計してください。当社は、お客様のシステムと本製品との適合可否に対する責任を負いません。
3. 本ガイドに記載された情報、製品および回路等の使用に起因する損害または特許権その他権利の侵害に関して、当社は一切その責任を負いません。
4. 本製品および本ガイドの情報や回路などをご使用になる際、当社は第三者の工業所有権、知的所有権およびその他権利に対する保証または実施権を許諾致しません。
5. 本製品は、人命に関わる装置用としては開発されておられません。人命に関わる用途への採用をご検討の際は、当社までご相談ください。
6. 本ガイドの一部または全部を、当社に無断で転載および複製することを禁じます。

「HLS」（日本国商標登録番号 2645060）は、（株）村田製作所から使用許諾されています。

はじめに

本マニュアルは、ハイスピードリンクシステムにおける HUB-IC の一品種である MKY02 について記述します。

MKY02 の利用および本マニュアルの理解に先駆けて、“ハイスピードリンクシステム 導入ガイド”を必ずお読みください。

本書においては、ハイスピードリンクシステムを、略称として“HLS”と呼びます。

●対象読者

- ・ハイスピードリンクシステムを初めて構築する方
- ・ハイスピードリンクシステムを構築するために、弊社の各種 IC を初めてご利用になる方

●読者が必要とする知識

- ・ネットワーク技術に関する標準的な知識
- ・半導体製品（特にマイクロコントローラおよびメモリ）に関する標準的な知識

●関連マニュアル

- ・ハイスピードリンクシステム 導入ガイド
- ・ハイスピードリンクシステム テクニカルガイド
- ・ハイスピードリンクシステム 各種センタ IC のマニュアル

【注意事項】

- ・本書において記載されている一部の用語は、弊社の Web および営業用ツール（総合カタログ等）において記載されている用語とは異なっています。営業用ツールにおいては、様々な業界において弊社製品をご理解いただけるよう、一般的用語を用いています。

HLS ファミリーおよび CUnet ファミリーに関する専門知識は、技術ドキュメント（マニュアル等）を基にご理解ください。

目 次

第 1 章 MKY02 (HUB) 利用の概念

1.1 MKY02 の位置付け	1-3
1.2 基本的な HLS 構成	1-3
1.3 HUB を利用した HLS 構成	1-4
1.3.1 通信ケーブルの総延長を伸ばす	1-4
1.3.2 通信ケーブルを分岐させる	1-6
1.3.3 装置ごとの終端抵抗の着脱を廃止する	1-7
1.3.4 スター接続	1-8
1.4 HUB の基本的な接続	1-9
1.5 HUB のマルチドロップ接続	1-10
1.6 HUB 装置のポート増設	1-11
1.7 MKY02 の動作	1-12
1.7.1 パケットの受信と送信	1-12
1.7.2 MKY02 の信号補正能力	1-13
1.7.3 異常パケットの検出	1-13
1.8 MKY02 の特徴	1-14

第 2 章 MKY02 ハードウェア2-3

第 3 章 MKY02 のシングル接続

3.1 信号端子へ接続可能な電圧レベル	3-4
3.2 駆動クロックとハードウェアリセット信号の供給	3-5
3.2.1 駆動クロックの供給	3-5
3.2.2 カスケードクロックと転送レートの設定	3-6
3.2.3 ハードウェアリセット	3-7
3.3 ネットワークインターフェースの接続	3-8
3.3.1 通信方式の選択	3-8
3.3.2 ポート 0 の接続	3-8
3.3.3 ポート 1 ~ 7 の接続	3-9
3.3.4 推奨のネットワーク接続	3-10
3.4 モニタ LED の接続	3-11
3.4.1 パケット受信モニタ	3-11
3.4.2 パケット異常モニタ	3-12
3.4.3 ポート別受信モニタ	3-13
3.5 カスケード接続端子の処理	3-15
3.6 HUB 装置設計上の注意	3-15
3.7 MKY02 のシングル接続による回路例	3-16

第 4 章 MKY02 のカスケード接続

4.1	ポート増設の概念	4-3
4.1.1	段積み方式によるポート増設	4-3
4.1.2	カスケード接続によるポート増設	4-4
4.1.3	カスケード接続可能最大数	4-4
4.2	カスケード接続の実際	4-5
4.2.1	カスケード接続端子	4-5
4.2.2	カスケード接続端子の動作	4-6
4.2.3	カスケードクロックの接続と転送レートの決定	4-7
4.2.4	ハードウェアリセット信号の接続	4-7
4.2.5	通信方式の共通選択	4-8
4.2.6	各ポートの接続	4-8
4.2.7	モニタ LED の配置	4-9
4.3	カスケード接続によるポート増設 HUB 装置の回路例	4-10

第5章 定格

5.1	電氣的定格	5-3
5.2	AC 特性	5-3
5.2.1	クロック、リセットタイミング	5-4
5.2.2	ポート端子タイミング (TXE0 ~ 7、TXD0、TXD17、RXD0 ~ 7)	5-5
5.2.3	カスケード接続端子タイミング	5-6
5.2.4	#LEDRCV 端子と #LEDRZE 端子の出力タイミング	5-6
5.2.5	ポート別受信モニタ端子タイミング (RLLD、RLDT、RLCK)	5-7
5.3	パッケージ外形寸法	5-8
5.4	半田実装推奨条件	5-9
5.5	リフロー推奨条件	5-9

目 次

図 1.1	基本的な HLS 構成	1-3
図 1.2	通信ケーブル長の延長	1-4
図 1.3	通信ケーブルの分岐	1-6
図 1.4	終端抵抗への配慮を削減	1-7
図 1.5	スター接続	1-8
図 1.6	基本的な接続と HUB 挿入段数	1-9
図 1.7	マルチドロップ接続の中間位置に配置する HUB	1-10
図 1.8	カスケード接続によるポート増設	1-11
図 1.9	ポートを増設した HUB 装置の段数	1-11
図 1.10	MKY02 の動作原理	1-12
図 1.11	信号変形と補正の例	1-13
図 2.1	MKY02 の端子配列	2-3
図 2.2	MKY02 の入出力回路形式における端子電気的特性	2-6
図 3.1	電流がリークする接続	3-4
図 3.2	カスケードクロック生成	3-6
図 3.3	クロックの接続	3-6
図 3.4	ハードウェアリセット	3-7
図 3.5	通信方式の選択	3-8
図 3.6	ポート 0 の TRX 接続	3-8
図 3.7	ポート 1 ~ 7 の TRX 接続	3-9
図 3.8	4 ポート HUB の TRX 接続例	3-9
図 3.9	推奨のネットワーク接続	3-10
図 3.10	受信モニタ LED の接続	3-11
図 3.11	パケット異常モニタ LED の接続	3-12
図 3.12	RLLD、RLDT、RLCK 出力	3-13
図 3.13	8 ポート個別受信モニタ	3-14
図 3.14	4 ポート個別受信モニタ	3-14
図 3.15	カスケード接続端子の処理	3-15
図 3.16	ハーフデュプレックス対応シングル接続回路例	3-16
図 3.17	フルデュプレックス対応シングル接続回路例	3-17

図 4.1	3 段の段積みポート増設.....	4-3
図 4.2	3 つのカスケード接続によるポート増設.....	4-4
図 4.3	3 つの MKY02 カスケード端子接続	4-5
図 4.4	2 つの MKY02 カスケード端子接続	4-5
図 4.5	センタ側ポートと受信時の動作	4-6
図 4.6	サテライト側ポートと受信時の動作	4-6
図 4.7	カスケードクロックの接続.....	4-7
図 4.8	通信方式の共通選択	4-8
図 4.9	ポート増設 HUB 装置のモニタ配置例.....	4-9
図 4.10	22 ポート HUB 回路例.....	4-10
図 4.11	フルデュプレックス通信方式対応例	4-13

表 目 次

表 1-1	転送レートと HUB 挿入段数に対する推奨総延長	1-4
表 2-1	MKY02 の端子機能	2-4
表 2-2	MKY02 の電氣的定格.....	2-6
表 3-1	カスケードクロックの出力周波数	3-6
表 5-1	絶対最大定格.....	5-3
表 5-2	電氣的定格	5-3
表 5-3	AC 特性測定条件.....	5-3

第 1 章 MKY02 (HUB) 利用の概念

本章は、ハイスピードリンクシステム（以下、“HLS”と記述します）における MKY02 (HUB) 利用の概念について記述します。

1.1 MKY02 の位置付け.....	1-3
1.2 基本的な HLS 構成.....	1-3
1.3 HUB を利用した HLS 構成.....	1-4
1.4 HUB の基本的な接続.....	1-9
1.5 HUB のマルチドロップ接続.....	1-10
1.6 HUB 装置のポート増設.....	1-11
1.7 MKY02 の動作.....	1-12
1.8 MKY02 の特徴.....	1-14

第1章 MKY02 (HUB) 利用の概念

本章は、ハイスピードリンクシステム（以下、“HLS”と記述します）におけるMKY02（HUB）利用の概念について記述します。

1.1 MKY02 の位置付け

MKY02 は、HLS のネットワークにおいて利用可能な“HUB 装置”を構成するための HUB-IC の一品種です。MKY02 の利用および本書の理解に先駆けて、“ハイスピードリンクシステム 導入ガイド”およびハイスピードリンクシステムの各種“センタ IC ユーザーズマニュアル”を、必ずお読みください。

1.2 基本的な HLS 構成

1つのセンタ IC と複数のサテライト IC を、マルチドロップ方式のネットワークによって接続した基本的な HLS の構成を、図 1.1 に示します。図中の R_t は終端抵抗を示します。

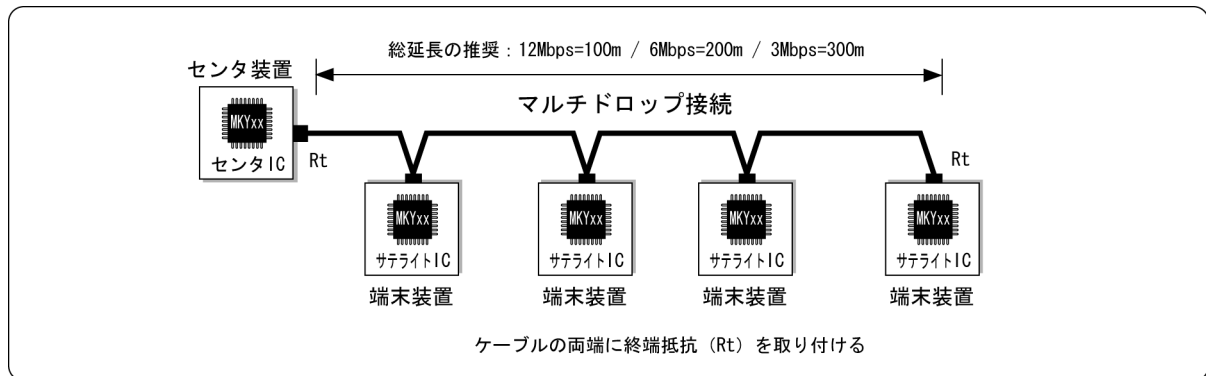


図1.1 基本的なHLS構成

ユーザシステムによっては、図 1.1 に示す基本的な HLS 構成に対して、以下の要望が生じる場合があります。

- ① 通信ケーブルの総延長を長くしたい。
- ② マルチドロップ接続の一部を分岐させたい。
- ③ 装置ごとの終端抵抗の着脱を廃止したい。

図 1.1 に示す基本的な HLS 構成において、これらの要望を解決するためには、困難が伴います。

1.3 HUB を利用した HLS 構成

HLS のネットワークに HUB を挿入することによって、前記①～③に記述された要望を簡易に解決することができます。



注意事項

ネットワークに HUB を挿入する場合は、HLS を構成するセンタ IC が HUB に対応している必要があります。HUB に対応していないセンタ IC によって構成されている HLS に HUB を挿入した場合には、サテライト IC と正常にリンクしません。

1.3.1 通信ケーブルの総延長を伸ばす

HLS のネットワークに HUB を挿入することによって、通信ケーブルの総延長を伸ばすことが可能となります。総延長を伸ばす構成の例を、図 1.2 に示します。図中の Rt は終端抵抗を示します。

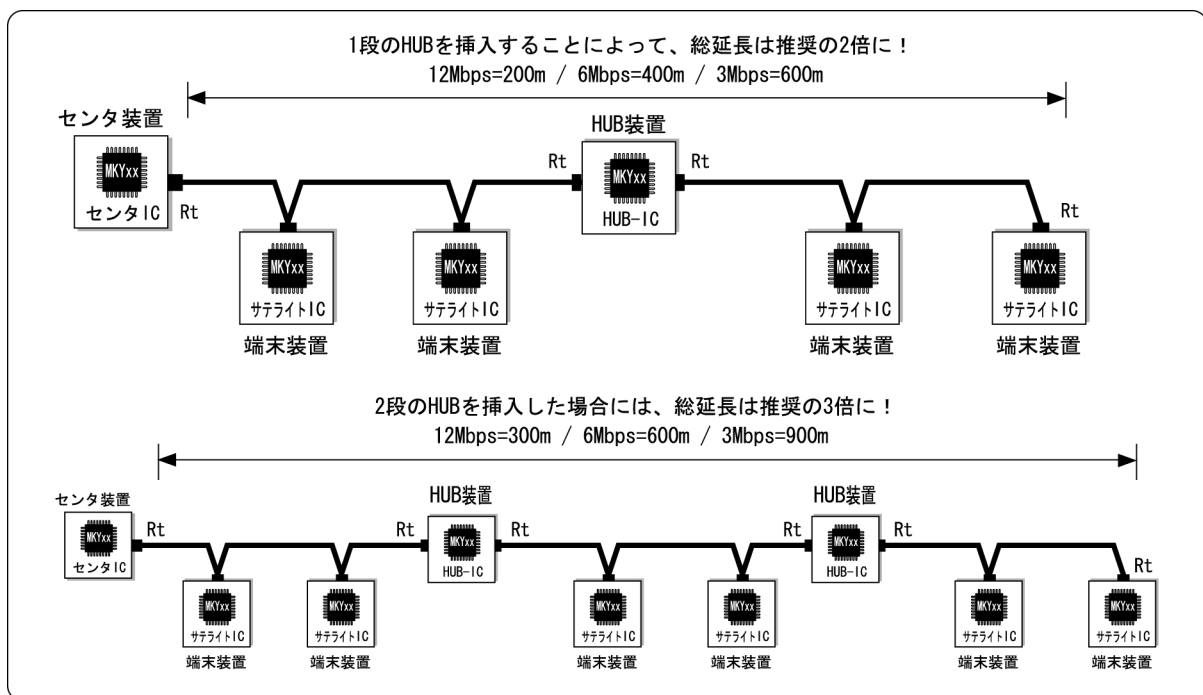


図 1.2 通信ケーブル長の延長

基本構成時における推奨の通信ケーブル長を、(HUB の挿入段数 + 1) 倍に伸ばすことが可能です。例えば、1 段の HUB を挿入した場合には 2 倍、2 段を挿入した場合には 3 倍、7 段を挿入した場合には 8 倍です。表 1-1 に、推奨のネットワーク接続を利用した場合の、転送レートと HUB 装置の挿入段数に対する推奨の総延長を示します。

表 1-1 転送レートと HUB 挿入段数に対する推奨総延長

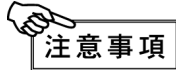
転送レート	HUB 挿入段数							
	0 (基本構成)	1	2	3	4	5	6	7
12Mbps	100m	200m	300m	400m	500m	600m	700m	800m
6Mbps	200m	400m	600m	800m	1km	1.2km	1.4km	1.6km
3Mbps	300m	600m	900m	1.2km	1.5km	1.8km	2.1km	2.4km



参考

実用となる通信ケーブルの限界長は、利用するドライバ / レシーバの性能やケーブルの種類、ケーブル敷設環境、マルチドロップ数によって変動します。このため、弊社が示す推奨の通信ケーブル長は、弊社の実用実験における限界長の約 1/2 です。これは、多種多様なユーザシステムにおいて安定的に HLS が稼動可能と推測される目安として示しているものです（この値は目安であって、弊社が動作を保証するものではありません）。

推奨の通信ケーブル長は、弊社の実用実験における限界長の約 1/2 であることから、多くのユーザシステムにおいては、表 1-1 に示す総延長より長くても利用可能な場合があります。



注意事項

HUB の挿入可能な段数は、利用するセンタ IC の機能によって上限が規定されます。例えば、センタ IC として MKY36 を利用した場合には、最大 7 段迄です。HUB の挿入可能な段数の詳細は、利用する HLS の “**センタ IC ユーザーズマニュアル**” をご参照ください。

1.3.2 通信ケーブルを分岐させる

HLS のネットワークに HUB を挿入することによって、通信ケーブルを分岐させることが可能となります。通信ケーブルを分岐させた構成の例を、図 1.3 に示します。

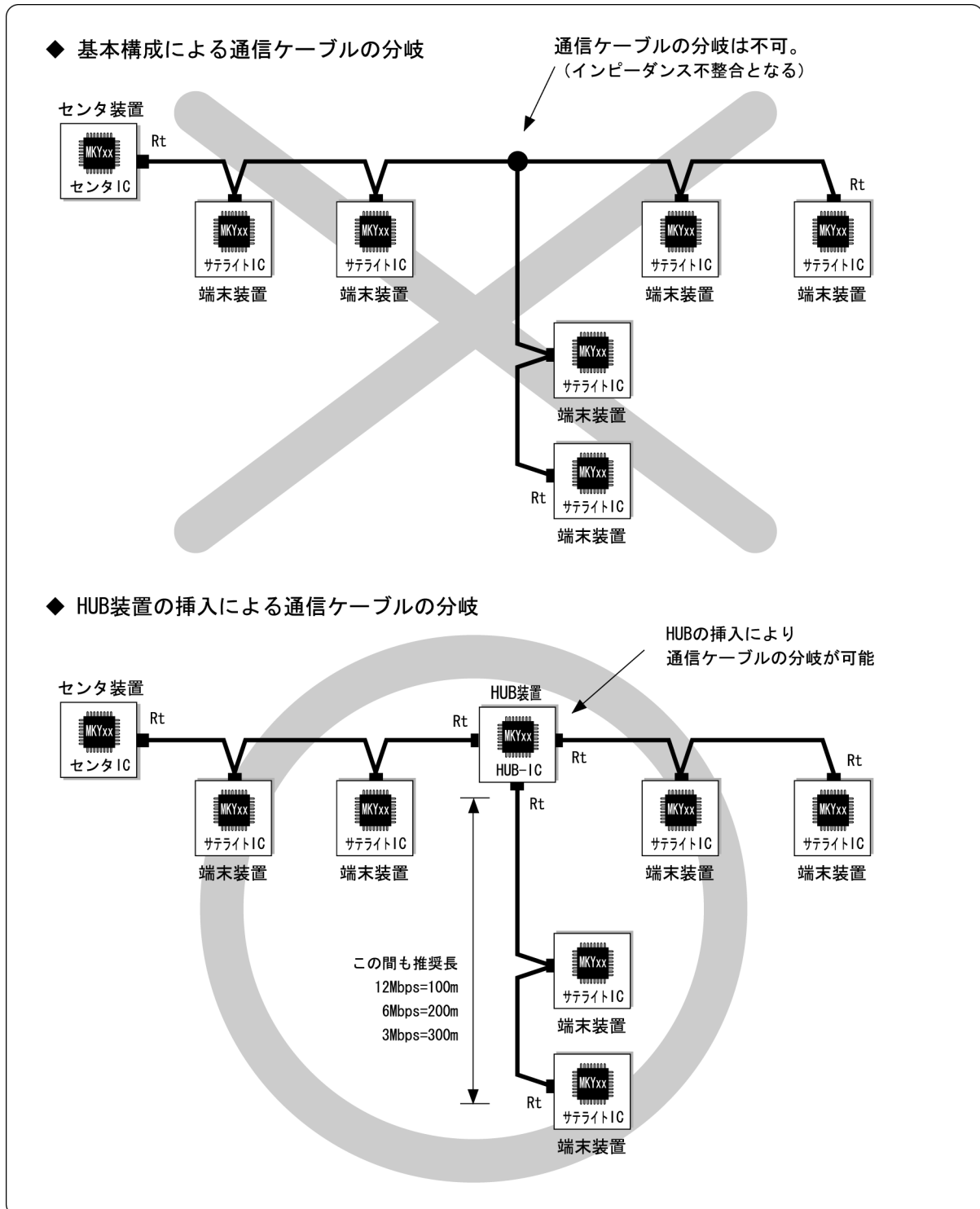


図1.3 通信ケーブルの分岐

図 1.3 に示された分岐例は T 型分岐ですが、MKY02 によって構成した HUB 装置を挿入した場合は、複数のポートによる複数の分岐も可能です。

1.3.3 装置ごとの終端抵抗の着脱を廃止する

HLS を利用したネットワークにおいては、マルチドロップ接続した通信ケーブルの中間に位置する装置の終端抵抗 (Rt) を取り外す必要がありました。図 1.4 のように全ての装置を“1 対 1”接続することによって、装置ごとの終端抵抗の着脱を廃止することができ、システムの設置における煩雑さも解消できます。

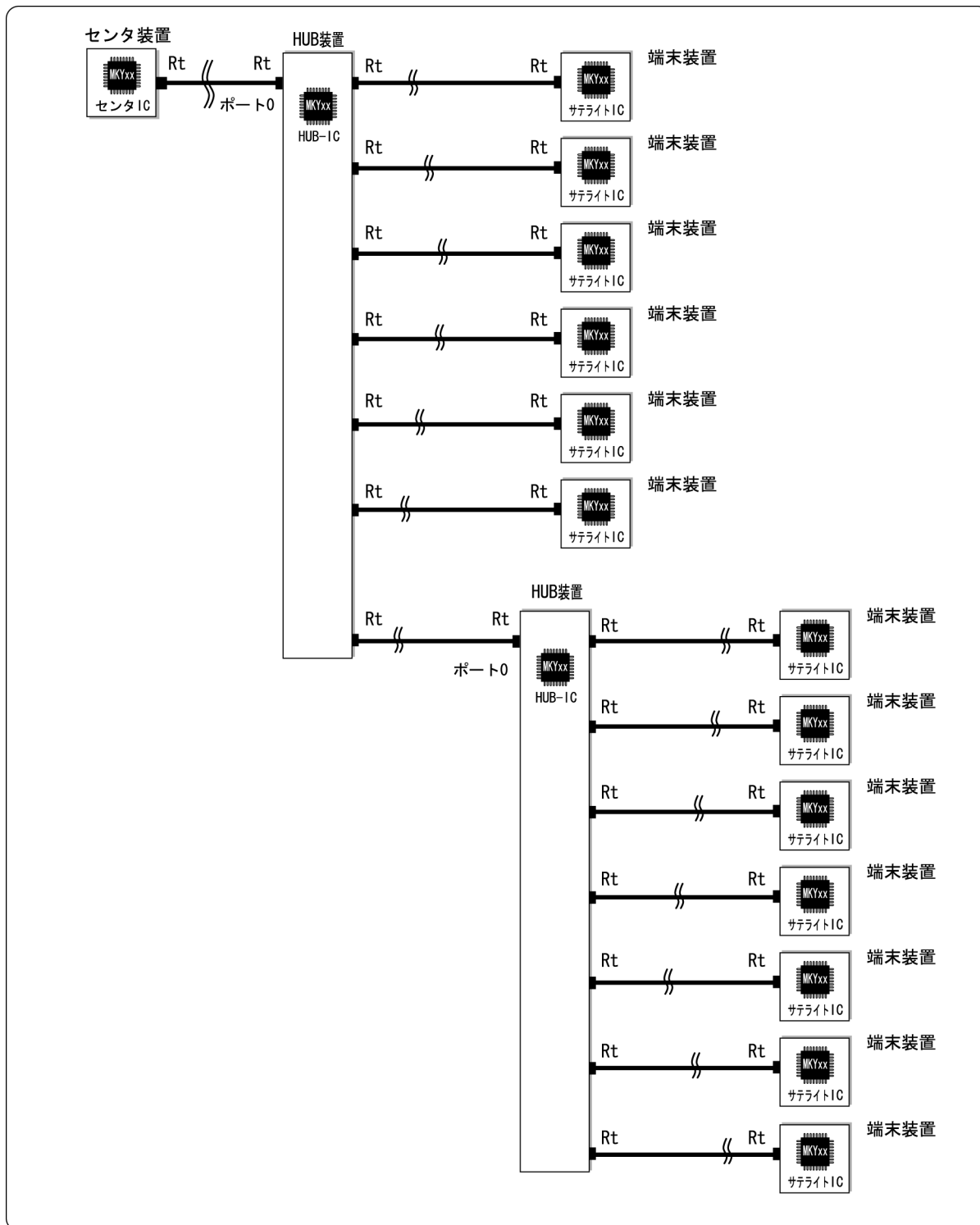


図1.4 終端抵抗への配慮を削減

1.3.4 スター接続

HLS のセンタ IC を搭載した装置内に HUB-IC も搭載してしまうことにより、スター接続も可能です (図 1.5 参照)。スター接続された通信ケーブルの先を、さらにマルチドロップ接続することも可能です。

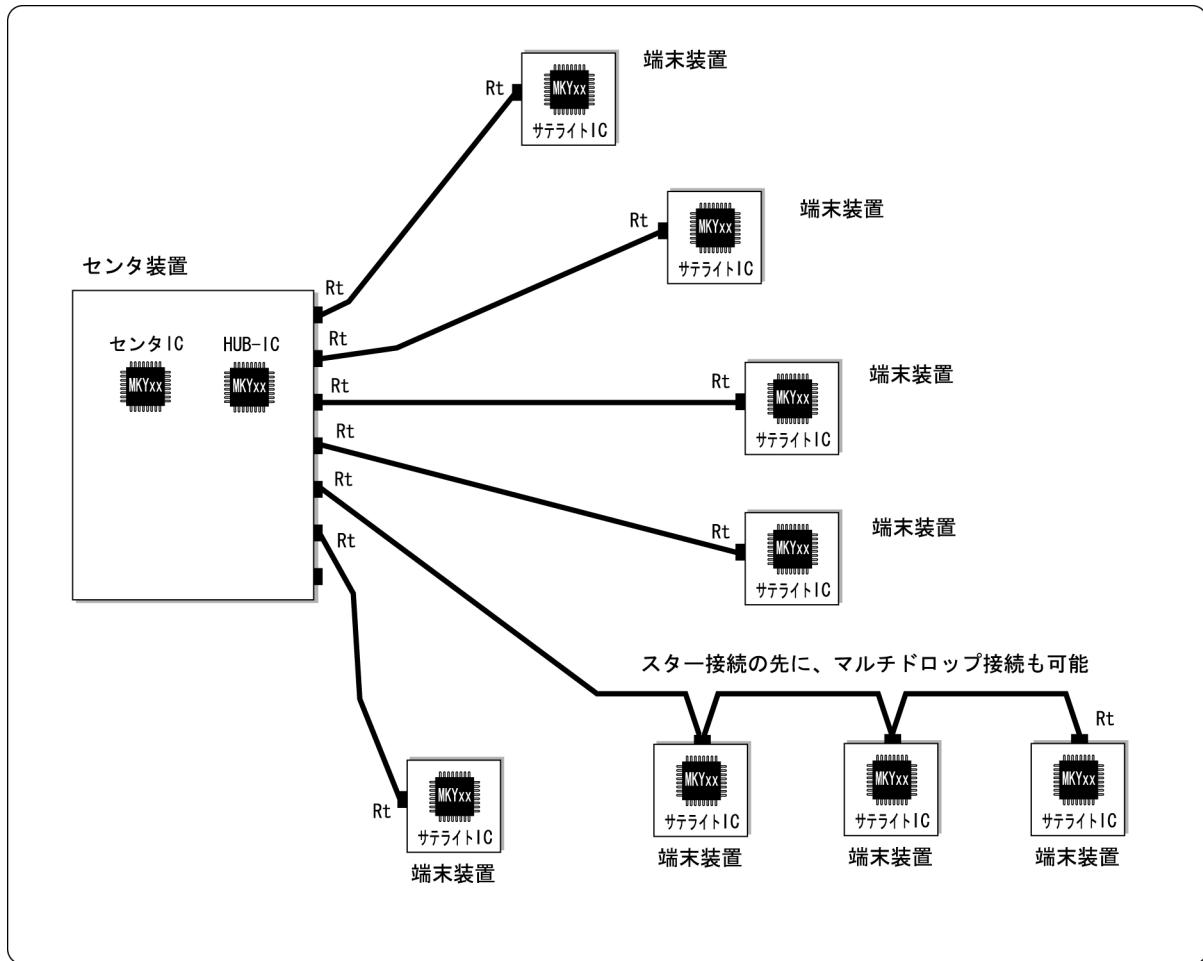


図1.5 スター接続

1.4 HUB の基本的な接続

HLS における HUB 挿入の基本的な接続は、図 1.6 のようなツリー構造です。センタ装置に近いルートを“センタ側”と呼び、常にこのセンタ側へポート 0 を接続することが義務付けられています。

センタ装置から派生したルートにおいて挿入された HUB の数を“段数”と呼びます。挿入可能な“段数”は、センタ IC の種類とユーザシステムによるセンタ IC への設定によって決定されます。

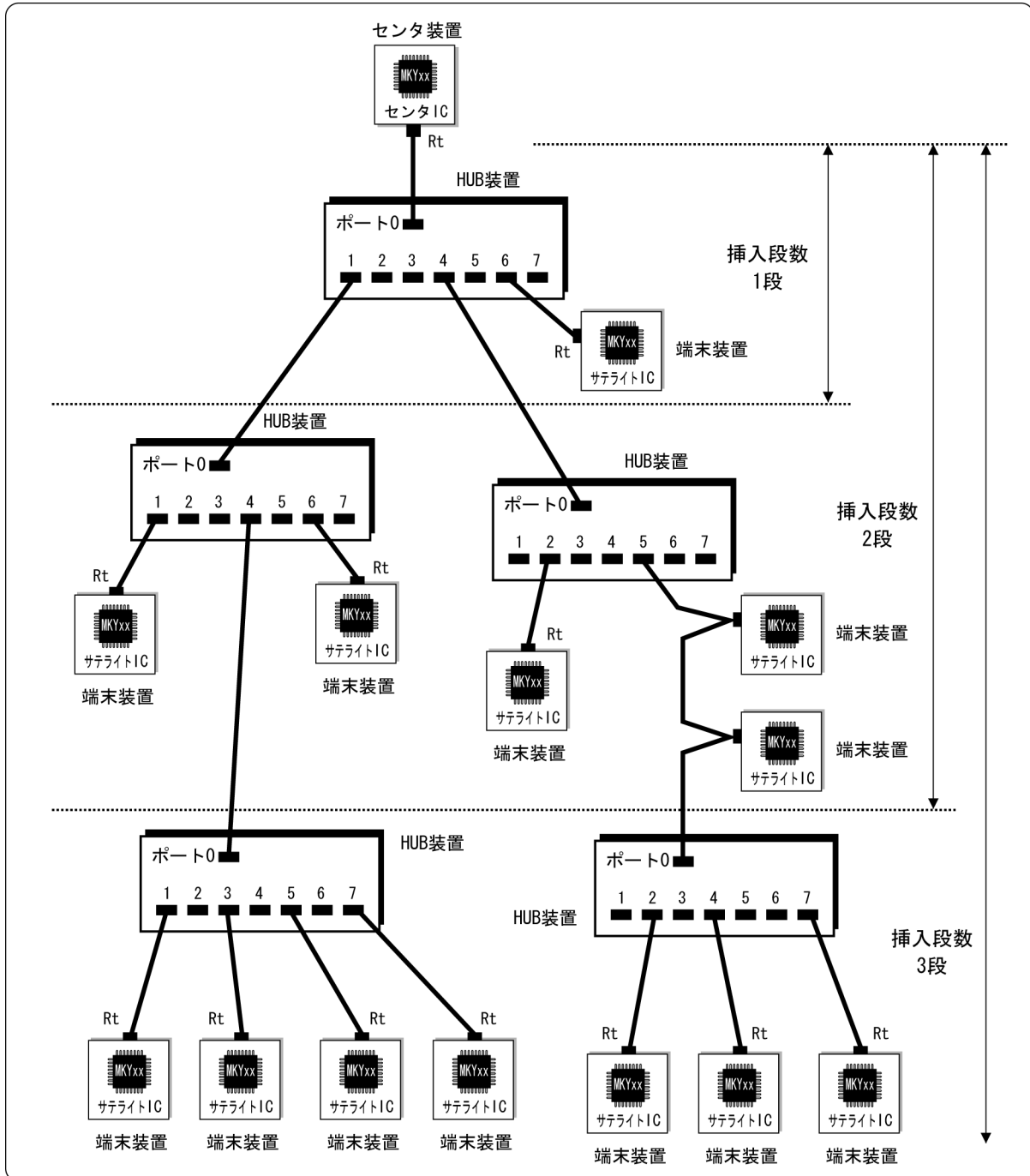


図1.6 基本的な接続とHUB挿入段数

注意事項

センタ IC として MKY36 を利用したシステム内においては、最大 7 段まで HUB の挿入が可能です。センタ IC として MKY33 を利用したシステム内においては、HUB を挿入することはできません。センタ IC の品種による詳細は、利用するセンタ IC の“ユーザーズマニュアル”をご参照ください。

1.5 HUB のマルチドロップ接続

HUB の挿入においては、HUB 装置自体をマルチドロップ接続することが可能です (図 1.7 参照)。

HUB のマルチドロップ接続は、通信ケーブルの分岐を多く必要とするユーザシステムに有利です。図 1.7 における HUB 挿入段数は “1” です。

図 1.7 においては、HUB 装置のポート 0 がマルチドロップ接続の通信ケーブルの中間に位置するため、HUB 装置のポート 0 には終端抵抗を接続しないでください。終端抵抗の接続に関する詳細は、“ハイスピードリンクシステム テクニカルガイド” を参照してください。

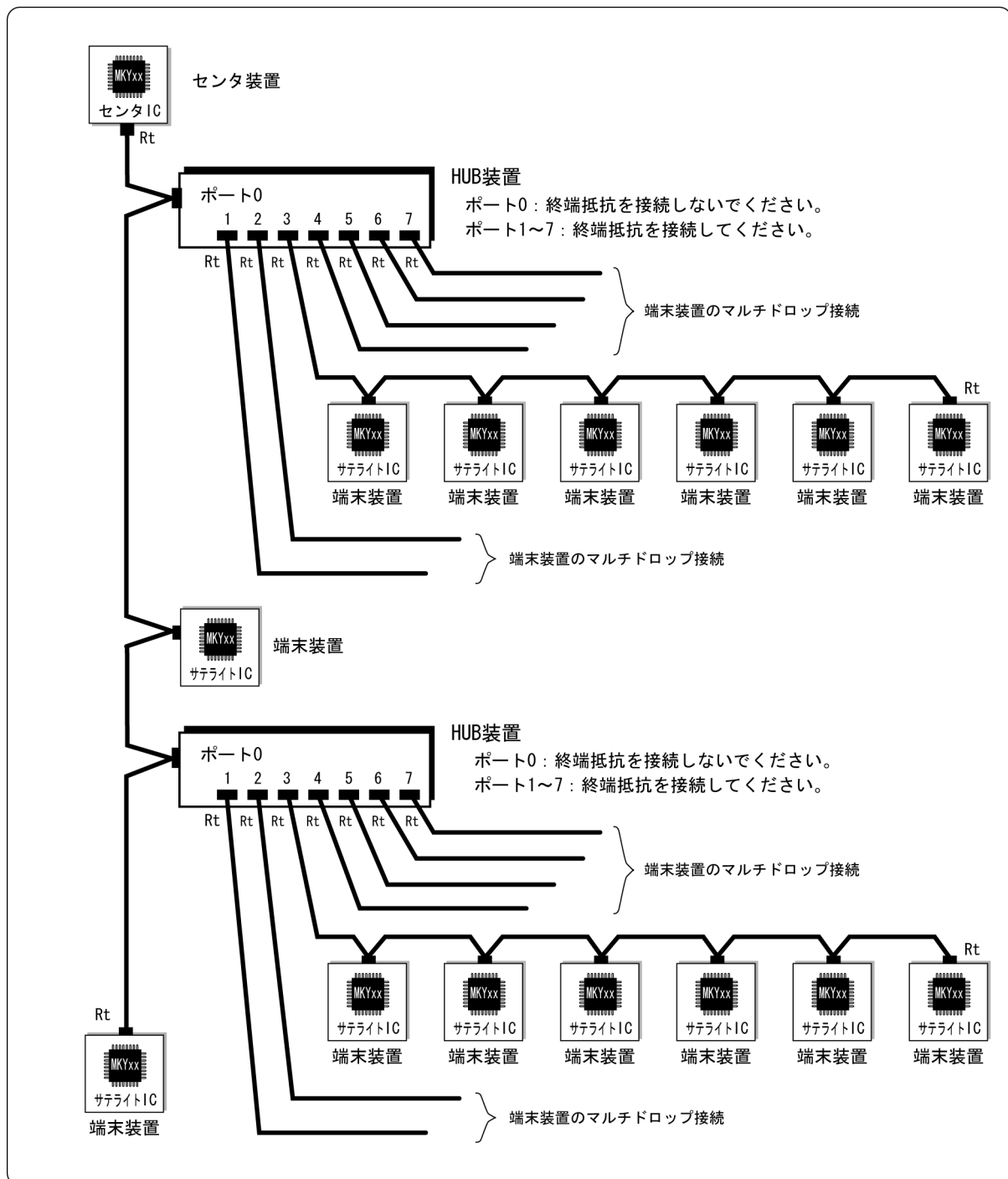


図1.7 マルチドロップ接続の中間位置に配置するHUB

1.6 HUB 装置のポート増設

MKY02 によって構成する HUB 装置は、MKY02 のカスケード接続によってポート増設が可能です。例えば、3 個の MKY02 をカスケード接続した場合、センタ側を接続するポート 0 と、サテライト側を接続する 21 ポート (7 ポート×3) を装備した HUB 装置を構成できます (図 1.8 参照)。

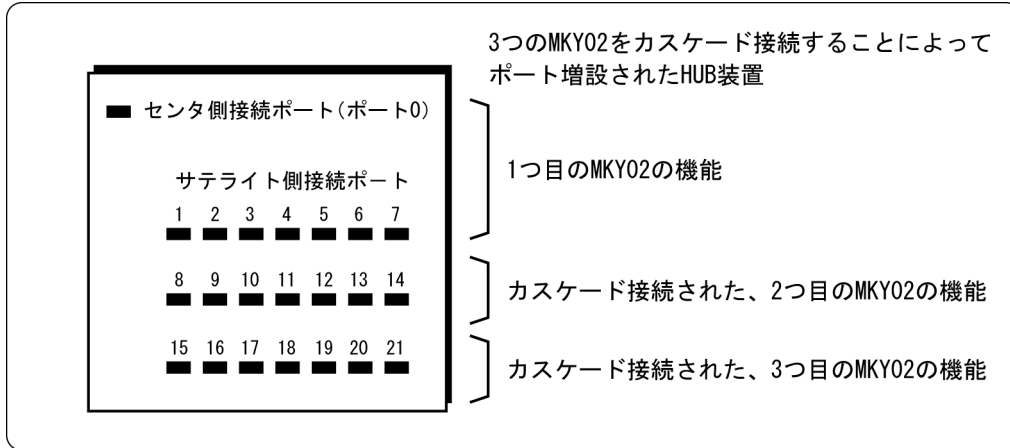


図1.8 カスケード接続によるポート増設

MKY02 をカスケード接続することによってポート増設された HUB 装置をネットワークへ挿入した場合、HUB 装置の各ポートへ接続された端末装置とセンタ装置との間における HUB の挿入段数は“1”です (図 1.9 参照)。

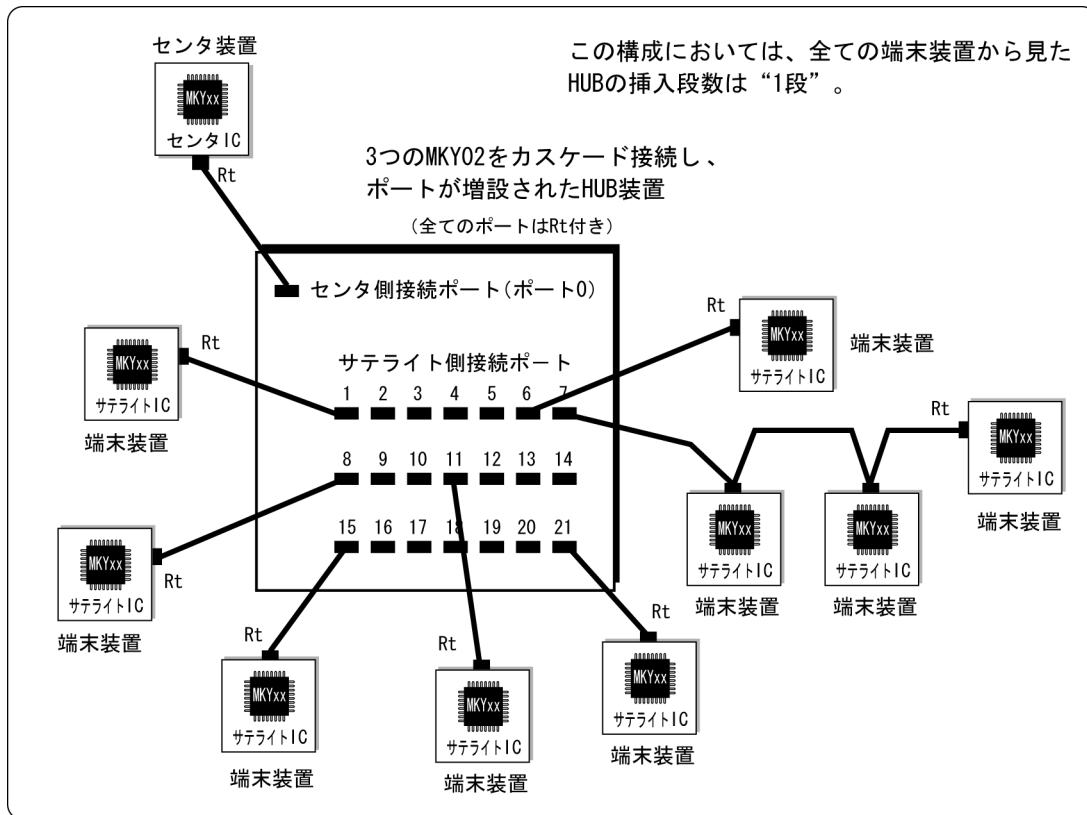


図1.9 ポートを増設したHUB装置の段数

MKY02 のカスケード接続によるポート増設は、多数の分岐接続やスター接続の実施に有利です。MKY02 のカスケード接続の詳細は、“第4章 MKY02 のカスケード接続”を参照してください。

1.7 MKY02 の動作

本節は、HLS へ適切に HUB を挿入するための予備知識として、MKY02 の動作を説明します。

1.7.1 パケットの受信と送信

MKY02 は、以下のように動作します。

- ① ポート 0 (センタ側ポート) からパケットを受信した場合、パケットを構成する信号を完全な形式に補正し、ポート 1 ~ 7 へ補正したパケットを送信します。
- ② ポート 1 ~ 7 (サテライト側ポート) のいずれか 1 つのポートがパケットを受信した場合、パケットを構成する信号を完全な形式に補正し、ポート 0 へ補正したパケットを送信します。なおこの一連の動作中は、動作中のポート以外のポートはパケットを受信しません (例えば、ポート 3 が受信中は、ポート 1、2、4 ~ 7 は受信しません)。
- ③ MKY02 の FH 端子が Hi レベル (フルデュプレックス設定) である時、上記の①と②の動作は独立して機能します。
- ④ MKY02 の FH 端子が Lo レベル (ハーフデュプレックス設定) である時、上記の①と②の動作は、どちらか先に動作を開始した方が機能し、その間は新たなパケットを受信しません。

MKY02 は、上記①と②に記述した通り、受信したパケットを完全な形式に補正し送信します。このためパケットの受信から送信までに、最長“ $52 \times \text{Tbps}$ ”時間のタイムラグ (遅れ) が生じます (図 1.10 参照)。

MKY02 は、複数のポートから同時にパケットを受信した場合のシステム例外に対処するために、各ポートは優先順位を持っています。これにより、小さいポート番号順に動作を開始します (図 1.10 参照)。但し、フルデュプレックス時におけるポート 0 とポート 1 は、優先順位を持っていません。

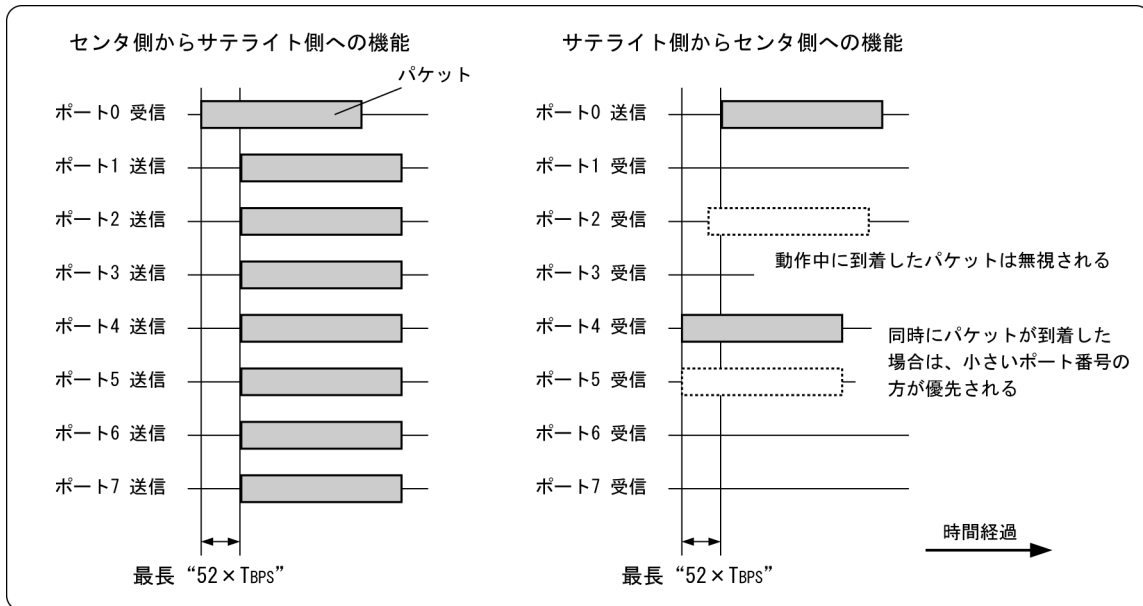


図1.10 MKY02の動作原理



参考

弊社製品以外の通信に用いられる HUB のほとんどは、パケットの全長を受信した後に送信を開始する動作形態です。そのため、システム全体の信号応答速度は極端に低下します。特に、多段の HUB を挿入するシステムにおいては顕著です。

これに対して、MKY02 は図 1.10 に示すように、パケットを受信しつつ補正したパケットを送信します。したがって、システム全体の信号応答速度の低下はわずかです。

1.7.2 MKY02 の信号補正能力

一般に、通信ケーブルの総延長を伸ばすためには、信号を増幅するバッファを挿入することが考察されます。バッファの挿入は、比較的転送レートの低い場合に利用できますが、転送レートが高い場合（高速な場合）には実用性を欠きます。その理由は、通信ケーブルの信号伝播によって変形した信号は、増幅してもその変形を補正できないためです。

HLSにおいては、パケットを構成する信号形式としてRZ信号形式が用いられています。HLSのネットワークに挿入可能なHUB-ICの一品種であるMKY02は、受信したパケットの信号形式が±49%まで変形しても、パケットを完全なRZ信号形式に補正し送信します（図1.11参照）。これにより複数のHUBを経由するシステムにおいても、信号変形の累積が無く、通信ケーブル長を（HUBの挿入段数+1）倍に伸ばすことが可能です（“1.3.1 通信ケーブルの総延長を伸ばす”を参照）。

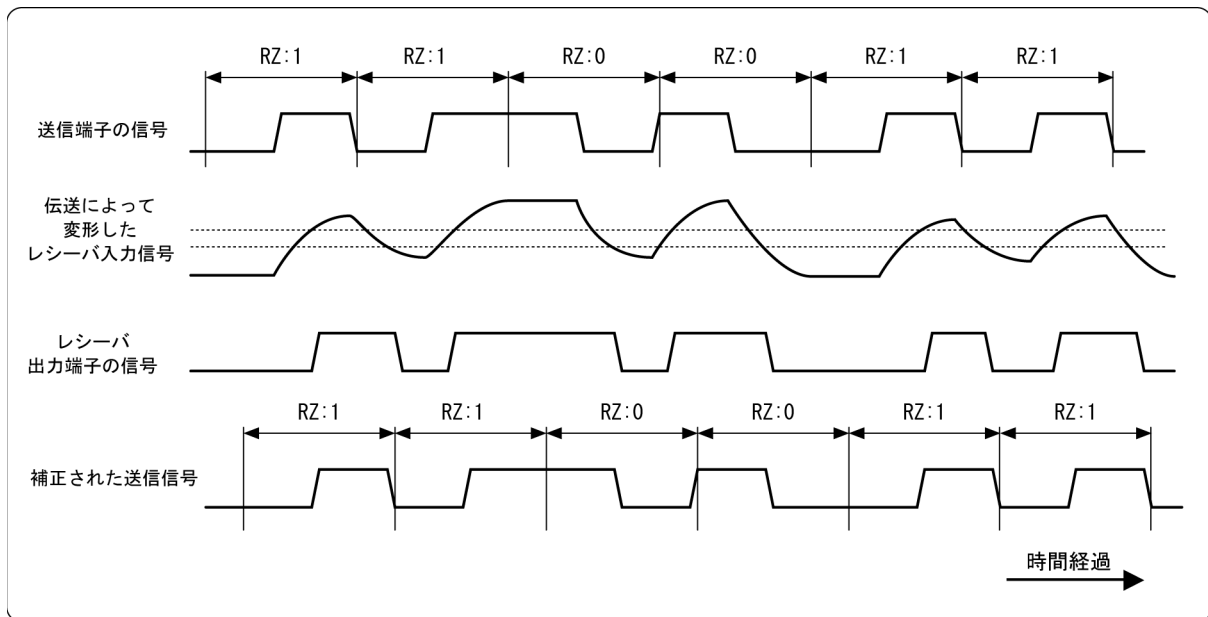


図1.11 信号変形と補正の例

1.7.3 異常パケットの検出

MKY02は、受信したパケット信号の変形が±49%を超えていた場合、異常パケットであると認識します。MKY02は、受信したパケットを送信している最中に受信パケットの異常を検出した場合、即座に送信を中断し、異常パケットの誤補正および通過を阻止します。MKY02は、異常パケットを検出した時に#LEDRZE端子へ一定時間のパルスを出力し、ユーザへ通知します。

一般に、異常パケットが検出される主要な原因は以下です。

- ① センタ装置およびサテライトICを搭載した端末装置の離脱や故障、通信ケーブルの着脱。
- ② ノイズの侵入や何らかの環境悪化の影響を受けて、パケット形式が破壊された。
- ③ ネットワークの性能が限界に達している。
- ④ サテライトアドレス (SA) を重複して設定してしまったなどのように、システム設定や敷設が誤っている。
- ⑤ 極めて劣悪な環境においてシステムが稼動している。

これらの原因は、上記①～⑤の順に異常パケットが検出される頻度が高くなると考察されます。例えば、上記①の場合には装置の離脱時にのみ検出されますが、上記⑤の場合は頻繁に検出されます。

異常パケットが検出される場合は、お客様ご自身がシステムや環境を改善してください。

1.8 MKY02 の特徴

本節は、HLS 用の HUB-IC である MKY02 の特徴を記述します。

- ① MKY02 は、フルデュプレックス（全二重）およびハーフデュプレックス（半二重）の通信方式に対応します。
- ② MKY02 は、12Mbps、6Mbps、3Mbps の標準転送レートはもとより、12.5Mbps を上限とする自由な転送レートに対応することが可能です。
- ③ MKY02 は、センタ IC 側を接続する 1 つの専用ポート（ポート 0）と、サテライト IC 側を接続する 7 つのポート（ポート 1～7）を装備しています。これにより、1 つの MKY02 によって 2～8 ポートを装備する HUB 装置を簡単に構築することができます。
- ④ MKY02 は、8 ポートのいずれか 1 つ以上のポートがパケットを受信した際にモニタ LED を点灯させることのできる出力端子を装備しています。
- ⑤ MKY02 は、8 ポートのそれぞれのポートがパケットを受信した際にモニタ LED を点灯させるポート別受信モニタ用の出力端子を装備しています。
- ⑥ MKY02 は、8 ポートのいずれか 1 つ以上のポートが異常パケットを受信した際にモニタ LED を点灯させることのできる出力端子を装備しています。
- ⑦ MKY02 は、ポート増設が可能なカスケード接続端子を装備しています。
- ⑧ MKY02 の各信号端子は 5.0V のトレラント型であるため、5.0V 系 / 3.3V 系の TTL レベル信号のどちらにも接続可能です。
- ⑨ 3.3V 単一電源。0.5mm ピッチの 64 ピン TQFP



注意事項

MKY02 は、HC 端子（端子 50）の設定によって、CUnet ファミリの HUB としても利用可能です。ただし、HLS と CUnet のネットワークを、HUB を中継して接続することはできません。MKY02 は、異なる製品ファミリーを使ったネットワーク間を接続する“ゲートブリッジ”ではありません。



参考

CUnet ファミリの HUB についての詳細は、“MKY02 ユーザーズマニュアル（CUnet 用）”をご参照ください。

第2章 MKY02 ハードウェア

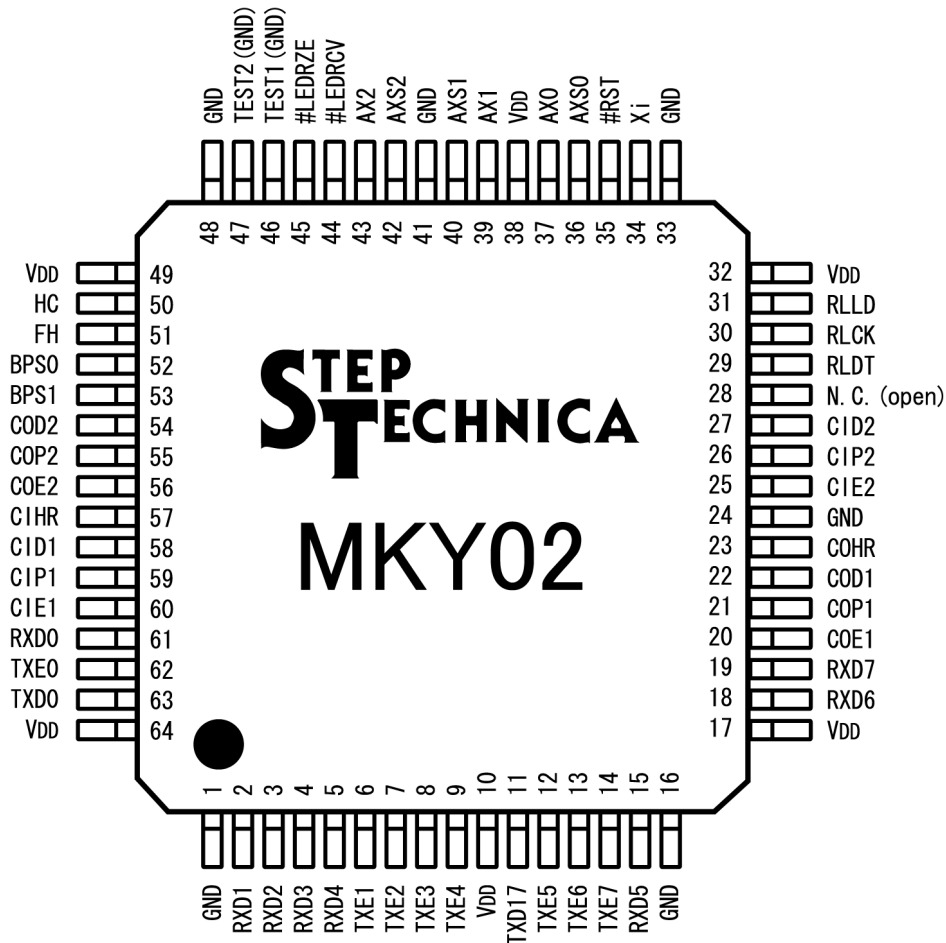
本章は、MKY02 の端子配列や端子機能および入出力回路形式といったハードウェアについて記述します。

第2章 MKY02 ハードウェア

本章は、MKY02 の端子配列や端子機能および入出力回路形式といったハードウェアについて記述します。

MKY02 の端子配列を、図 2.1 に示します。

MKY02 (64ピン、TQFP)



注記：先頭に“#”が付いている端子は、負論理（Loアクティブ）を示します。
N.C. 端子（端子28）は、開放にしてください。

図2.1 MKY02の端子配列

表 2-1 に、MKY02 の端子機能を示します。

表 2-1 MKY02 の端子機能

端子名	端子番号	論理	I/O	機 能
RXD1 ~ RXD7	2 ~ 5 15、18、19	正	I	サテライト IC からのレスポンスパケット入力端子です。対象ポートのレシーバなどの出力端子へ接続してください。複数のポートから同時に信号を入力した時には、ポート番号が小さい本端子の機能が優先します。本端子を使用しない時には、本端子を Hi レベルまたは Lo レベルに固定してください。
TXE1 ~ TXE7	6 ~ 9 12 ~ 14	正	O	サテライト IC 側ポートの送信が有効な時に、Hi レベルになります。対象ポートのドライバなどのゲート端子へ接続してください。本端子を使用しない時には、開放にしてください。
TXD17	11	正	O	サテライト IC 側ポートへコマンドパケットを出力する端子です。ポート 1 ~ 7 のドライバなどの入力端子へ接続してください。
COE1	20	正	O	カスケード接続用の出力端子です。本端子は、下位にカスケード接続する MKY02 の CIE1 端子へ接続してください。カスケード接続しない時には、本端子を開放にしてください。
COP1	21	正	O	カスケード接続用の出力端子です。本端子は、下位にカスケード接続する MKY02 の CIP1 端子へ接続してください。カスケード接続しない時には、本端子を開放にしてください。
COD1	22	正	O	カスケード接続用の出力端子です。本端子は、下位にカスケード接続する MKY02 の CID1 端子へ接続してください。カスケード接続しない時には、本端子を開放にしてください。
COHR	23	正	O	カスケード接続用の出力端子です。本端子は、下位にカスケード接続する MKY02 の CIHR 端子へ接続してください。カスケード接続しない時には、本端子を開放にしてください。
CIE2	25	正	I	カスケード接続用の入力端子です。本端子は、下位にカスケード接続する MKY02 の COE2 端子へ接続してください。カスケード接続しない時には、本端子を Lo レベルに固定してください。
CIP2	26	正	I	カスケード接続用の入力端子です。本端子は、下位にカスケード接続する MKY02 の COP2 端子へ接続してください。カスケード接続しない時には、本端子を Lo レベルに固定してください。
CID2	27	正	I	カスケード接続用の入力端子です。本端子は、下位にカスケード接続する MKY02 の COD2 端子へ接続してください。カスケード接続しない時には、本端子を Lo レベルに固定してください。
N.C.	28	正	O	本端子は、必ず開放にしてください。
RLDT	29	正	O	ポート別受信モニタ LED 駆動回路用のデータ信号出力端子です。本端子を使用しない時には、開放にしてください。
RLCK	30	正	O	ポート別受信モニタ LED 駆動回路用のデータクロック出力端子です。本端子を使用しない時には、開放にしてください。
RLLD	31	正	O	ポート別受信モニタ LED 駆動回路用のデータロード信号出力端子です。本端子を使用しない時には、開放にしてください。
Xi	34	正	I	外部クロック入力端子 (推奨 48MHz) です。
#RST	35	負	I	MKY02 のハードウェアリセット入力端子です。電源 “ON” 直後から、あるいはユーザが意図的にハードウェアをリセットする時に、AX0 へ入力されるクロックの 10 クロック以上 Lo レベルを維持してください。
AXS0	36	正	O	カスケードクロックの出力端子です。詳細は、“3.2.2 カスケードクロックと転送レートの設定”を参照してください。
AX0	37	正	I	カスケードクロックの入力端子です。詳細は、“3.2.2 カスケードクロックと転送レートの設定”を参照してください。
AX1	39	正	I	カスケードクロックの入力端子です。詳細は、“3.2.2 カスケードクロックと転送レートの設定”を参照してください。
AXS1	40	正	O	カスケードクロックの出力端子です。詳細は、“3.2.2 カスケードクロックと転送レートの設定”を参照してください。
AXS2	42	正	O	カスケードクロックの出力端子です。詳細は、“3.2.2 カスケードクロックと転送レートの設定”を参照してください。

(つづく)

表 2-1 MKY02 の端子機能

(つづき)

端子名	端子番号	論理	I/O	機 能
AX2	43	正	I	カスケードクロックの入力端子です。詳細は、“3.2.2 カスケードクロックと転送レートの設定”を参照してください。
#LEDRCV	44	負	O	いずれかのポートから HLS のパケットを受信した時に、所定時間 Lo レベルを維持する、LED 駆動用出力端子です。本端子は、ハードウェアリセットがアクティブになった時も Lo レベルを維持します。本端子を使用しない時は、開放にしてください。
#LEDRZE	45	負	O	いずれかのポートから異常な HLS のパケットを受信した時に、所定時間 Lo レベルを維持する、LED 駆動用出力端子です。本端子は、ハードウェアリセットがアクティブになった時も Lo レベルを維持します。本端子を使用しない時は、開放にしてください。
TEST1	46	正	I	必ず GND へ接続してください（メーカが利用するテスト端子です）。
TEST2	47	正	I	必ず GND へ接続してください（メーカが利用するテスト端子です）。
HC	50	正	I	必ず Hi レベルに固定してください（MKY02 を“HLS 用 HUB”に設定する入力端子です）。
FH	51	正	I	MKY02 の通信方式を選択する入力端子です。本端子は、フルデュプレックス通信方式を選択する際に Hi レベルに、ハーフデュプレックス通信方式を選択する際に Lo レベルにしてください。
BPS0	52	正	I	MKY02 の転送レートを選択する入力端子です。詳細は、“3.2.2 カスケードクロックと転送レートの設定”を参照してください。
BPS1	53	正	I	MKY02 の転送レートを選択する入力端子です。詳細は、“3.2.2 カスケードクロックと転送レートの設定”を参照してください。
COD2	54	正	O	カスケード接続用の出力端子です。本端子は、上位にカスケード接続する MKY02 の CID2 端子へ接続してください。カスケード接続しない時には、本端子を開放にしてください。
COP2	55	正	O	カスケード接続用の出力端子です。本端子は、上位にカスケード接続する MKY02 の CIP2 端子へ接続してください。カスケード接続しない時には、本端子を開放にしてください。
COE2	56	正	O	カスケード接続用の出力端子です。本端子は、上位にカスケード接続する MKY02 の CIE2 端子へ接続してください。カスケード接続しない時には、本端子を開放にしてください。
CIHR	57	正	I	カスケード接続用の入力端子です。本端子は、上位にカスケード接続する MKY02 の COHR 端子へ接続してください。カスケード接続しない時には、本端子を Lo レベルに固定してください。
CID1	58	正	I	カスケード接続用の入力端子です。本端子は、上位にカスケード接続する MKY02 の COD1 端子へ接続してください。カスケード接続しない時には、本端子を Lo レベルに固定してください。
CIP1	59	正	I	カスケード接続用の入力端子です。本端子は、上位にカスケード接続する MKY02 の COP1 端子へ接続してください。カスケード接続しない時には、本端子を Lo レベルに固定してください。
CIE1	60	正	I	カスケード接続用の入力端子です。本端子は、上位にカスケード接続する MKY02 の COE1 端子へ接続してください。カスケード接続しない時には、本端子を Lo レベルに固定してください。
RXD0	61	正	I	センタ IC からのコマンドパケットを入力する端子です。レーザーなどの出力端子へ接続してください。
TXE0	62	正	O	センタ IC へ送信が有効な時に、Hi レベルになります。ドライバなどのゲート端子へ接続してください。
TXD0	63	正	O	センタ IC へレスポンスパケットを出力する端子です。ドライバなどのドライブ入力端子へ接続してください。
VDD	10、17、32 38、49、64	---	---	電源端子。3.3V 供給。
GND	1、16、24、 33、41、48	---	---	電源端子。0V へ接続。

注記：先頭に“#”が付いている端子は、負論理（Lo アクティブ）を示します。

表 2-2 および図 2.2 に、MKY02 端子の電氣的定格を示します。

表 2-2 MKY02 の電氣的定格

(# マークは負論理)

No	I/O	名称	Type	No	I/O	名称	Type	No	I/O	名称	Type	No	I/O	名称	Type
1	--	GND	--	17	--	VDD	--	33	--	GND	--	49	--	VDD	--
2	I	RXD1	A	18	I	RXD6	A	34	I	Xi	B	50	I	HC	B
3	I	RXD2	A	19	I	RXD7	A	35	I	#RST	B	51	I	FH	B
4	I	RXD3	A	20	O	COE1	C	36	O	AXS0	C	52	I	BPS0	B
5	I	RXD4	A	21	O	COP1	C	37	I	AX0	B	53	I	BPS1	B
6	O	TXE1	C	22	O	COD1	C	38	--	VDD	--	54	O	COD2	C
7	O	TXE2	C	23	O	COHR	C	39	I	AX1	B	55	O	COP2	C
8	O	TXE3	C	24	--	GND	--	40	O	AXS1	C	56	O	COE2	C
9	O	TXE4	C	25	I	CIE2	A	41	--	GND	--	57	I	CIHR	A
10	--	VDD	--	26	I	CIP2	A	42	O	AXS2	C	58	I	CID1	A
11	O	TXD17	C	27	I	CID2	A	43	I	AX2	B	59	I	CIP1	A
12	O	TXE5	C	28	O	N.C.	C	44	O	#LEDRCV	D	60	I	CIE1	A
13	O	TXE6	C	29	O	RLDT	C	45	O	#LEDRZE	D	61	I	RXD0	A
14	O	TXE7	C	30	O	RLCK	C	46	I	TEST1	A	62	O	TXE0	C
15	I	RXD5	A	31	O	RLLD	C	47	I	TEST2	A	63	O	TXD0	C
16	--	GND	--	32	--	VDD	--	48	--	GND	--	64	--	VDD	--

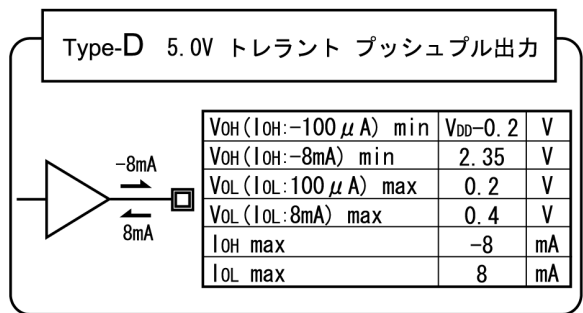
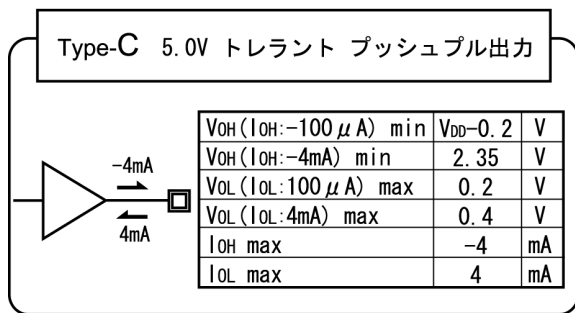
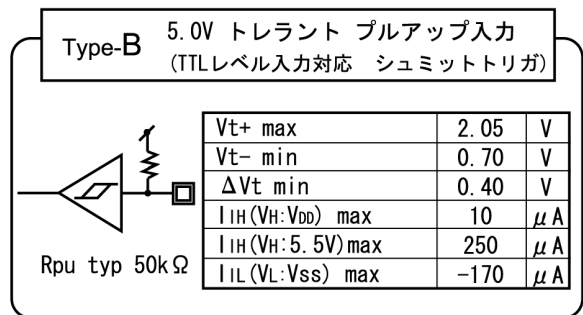
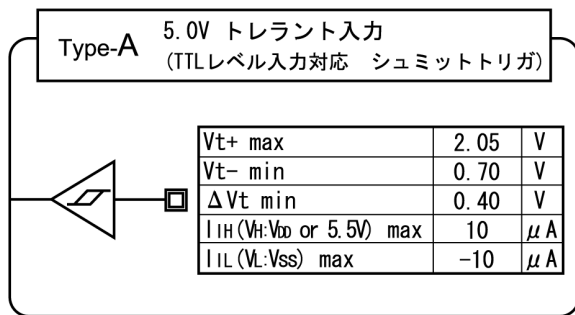


図2.2 MKY02の入出力回路形式における端子電氣的特性

第3章 MKY02 のシングル接続

本章は、HLS へ挿入する“1つのMKY02によって構成する2～8ポートHUB”を設計するために必要な端子の役割や接続について記述します。

3.1	信号端子へ接続可能な電圧レベル.....	3-4
3.2	駆動クロックとハードウェアリセット信号の供給	3-5
3.3	ネットワークインターフェースの接続	3-8
3.4	モニタ LED の接続	3-11
3.5	カスケード接続端子の処理	3-15
3.6	HUB 装置設計上の注意	3-15
3.7	MKY02 のシングル接続による回路例	3-16

第3章 MKY02 のシングル接続

本章は、HLS へ挿入する“1つの MKY02 によって構成する 2～8 ポート HUB”を設計するために必要な端子の役割や接続について記述します。

MKY02 を接続する際には、TEST1 端子（端子 46）と TEST2 端子（端子 47）を電源の GND へ必ず接続してください。

HLS に挿入する“MKY02 によって構成する HUB”においては、MKY02 の機能選択端子（HC：端子 50）を、必ず Hi レベルに固定してください。

全ての VDD 端子（端子 10、17、32、38、49、64）を必ず電源の 3.3V へ、全ての GND 端子（端子 1、16、24、33、41、48）を必ず電源の 0V へ接続し、近接する VDD 端子と GND 端子の間には 10V / 0.1 μ F (104) 以上のコンデンサも接続してください。

3.1 信号端子へ接続可能な電圧レベル

MKY02 の VDD または GND へ接続する端子を除く全ての信号端子は、5.0V 系 TTL 信号との接続が可能なトランスラント (Tolerant) タイプです。

- ① 3.3V 電源によって駆動する周辺ロジック回路と直接接続できます。
- ② 5.0V 電源によって駆動する周辺ロジック回路の TTL レベルの信号と接続が可能です。
5.0V 電源間におけるプルアップ抵抗の接続も可能です。ただし、MKY02 の端子の入力電圧が 3.3V を超える状況の時、MKY02 の端子へリーク電流が流れます (図 3.1 参照)。
- ③ MKY02 の出力は、5.0V 系 CMOS 入力仕様に対して Hi レベル電圧が不足であるため、5.0V 電源によって駆動する周辺ロジック回路の CMOS レベル入力端子へ接続することはできません。5.0V 電源間にプルアップ抵抗を挿入しても同様です (図 3.1 参照)。

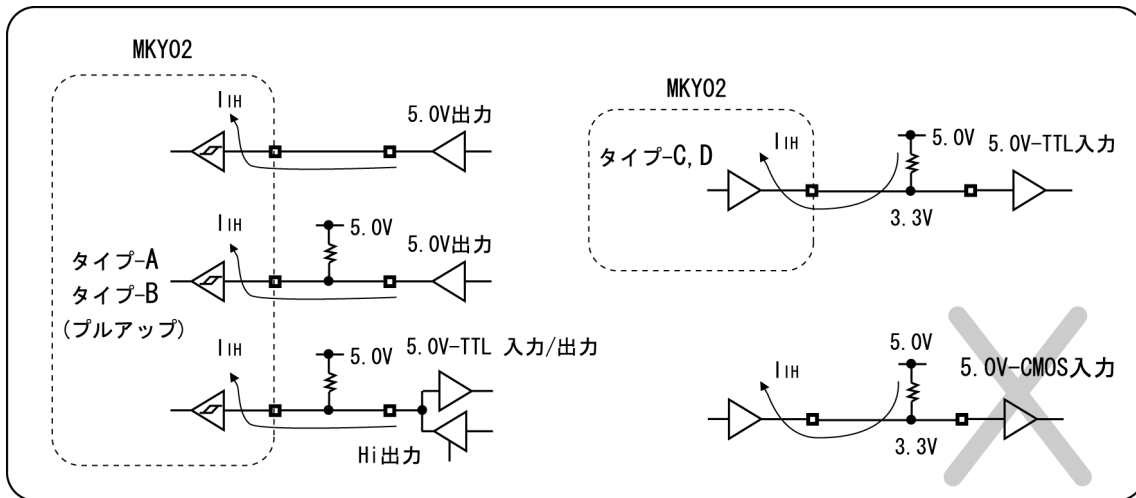


図3.1 電流がリークする接続

注意事項

- ① 電源電圧が異なる LSI と接続する際には、接続先 LSI の入出力レベルの電気仕様を必ずご確認ください。また、MKY02 の電源未投入時において、定常的に信号端子へ電圧を印加することは行わないでください。
- ② MKY02 の内部においてプルアップされていない入力端子と 5.0V 電源との間に外部プルアップ抵抗が挿入されている場合、外部プルアップ抵抗によって 5.0V まで電圧レベルが上昇します。しかし、MKY02 を搭載した基板上の回路条件によって、電圧レベルが上昇するまでには数十 μs ~ 数 ms の時間を要する場合があります。これらの端子のプルアップ抵抗としては、 $3\text{k}\Omega$ ~ $30\text{k}\Omega$ の値を使用することを推奨します。
- ③ MKY02 の出力端子と 5.0V 電源との間にプルアップ抵抗を接続することができます。ただし MKY02 の出力端子と 5.0V 電源との間においてプルアップ抵抗を接続しても、Hi レベル出力は 3.3V までしか上昇せず、5.0V にはなりません (図 3.1 参照)。

3.2 駆動クロックとハードウェアリセット信号の供給

本節は、MKY02 を駆動するクロックの供給と、ハードウェアリセット信号の供給について記述します。

3.2.1 駆動クロックの供給

MKY02 を駆動するクロックとして、MKY02 の Xi 端子（端子 34）へ、発振器などによって既に生成されている 48MHz のクロックを接続してください。Xi 端子へ外部クロックを供給する際の仕様は以下です。

- ① 上限周波数は 50MHz であり、下限はありません。
- ② Xi 端子の電氣的仕様については、“**第2章 MKY02 ハードウェア**”を参照してください。
- ③ 信号の立上りおよび立下りが 20ns 以内のクロックを接続してください。
- ④ 信号の Hi レベルあるいは Lo レベルの最小時間が 5ns 以上のクロックを接続してください。
- ⑤ クロックのジッタ成分が以下の範囲以内のクロックを接続してください。
 - ・入力する周波数が 25MHz 以上の場合には 250ps 以内
 - ・入力する周波数が 25MHz 未満の場合には 500ps 以内
- ⑥ 周波数精度が ± 200ppm 以内のクロックを接続してください。



参考

一般的な水晶発振器から出力されるクロックは、上記②～⑥の条件に対応しています。

3.2.2 カスケードクロックと転送レートの設定

MKY02 は、AX0、AX1、AX2 の 3 種類のカスケードクロックを利用します。MKY02 は、AXS0、AXS1、AXS2 の 3 つのカスケードクロック出力端子を搭載しています (図 3.2 参照)。

カスケードクロックは、BPS0 端子と BPS1 端子の設定によって決定される分周比によって、Xi 端子へ供給される外部クロックから生成されます。

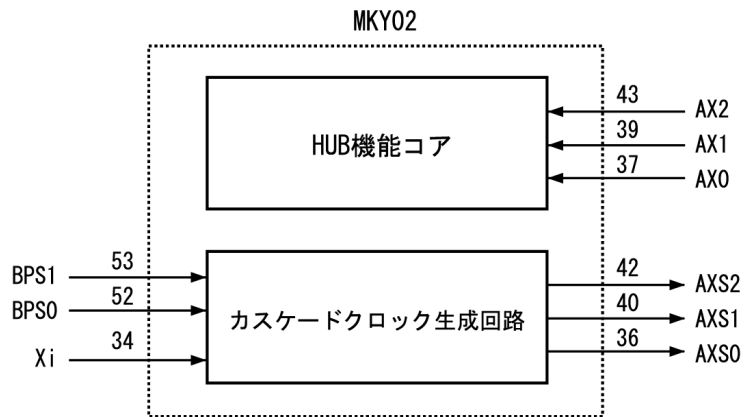


図3.2 カスケードクロック生成

BPS0 端子 (端子 52) と BPS1 端子 (端子 53) の設定は、HUB を挿入する HLS システムの転送レートと一致させてください。

カスケードクロックを利用するためには、図 3.3 のように AXS0 端子の出力信号を AX0 端子へ、AXS1 端子の出力信号を AX1 端子へ、AXS2 端子の出力信号を AX2 端子へ接続してください。

表 3-1 に、Xi 端子へ 48MHz の外部クロックを接続した時の、BPS0 端子と BPS1 端子の設定に対応した AXS0、AXS1、AXS2 のカスケードクロックの出力周波数を示します。

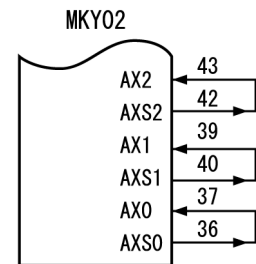


図3.3 クロックの接続

表 3-1 カスケードクロックの出力周波数

BPS1 端子	BPS0 端子	転送レート	AXS0 端子	AXS1 端子	AXS2 端子
Hi	Hi	12Mbps	48MHz	12MHz	6MHz
Hi	Lo	6Mbps	24MHz	6MHz	3MHz
Lo	Hi	3Mbps	12MHz	3MHz	1.5MHz
Lo	Lo	1.5Mbps	6MHz	1.5MHz	750kHz



MKY02 の端子から出力されるカスケードクロックを再び MKY02 の端子へ入力する構成は、“**第 4 章 MKY02 のカスケード接続**” に記述する MKY02 のカスケード接続を可能とするためのものです。“1 つの MKY02 によって構成する 2 ~ 8 ポート HUB” においては、図 3.3 のように接続してください。

3.2.3 ハードウェアリセット

#RST (ReSeT) 端子 (端子 35) へ Lo レベルを入力すると、MKY02 はハードウェアリセットされます。ただし、この Lo レベル信号が入力されている期間が“AX0 端子カスケードクロックの 1 クロック”以下である場合は、誤動作を防止するためにこの信号は無視されます。また MKY02 を完全にリセットするためには、AX0 端子へカスケードクロックが供給されている間に、#RST 端子を“AX0 端子カスケードクロックの 10 クロック”以上 Lo レベルを維持していなければなりません (図 3.4 参照)。

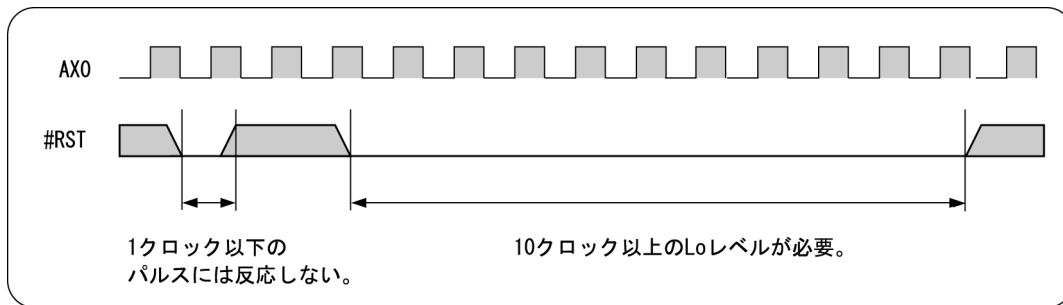


図3.4 ハードウェアリセット

**注意事項**

MKY02 へ電源を投入した直後には、必ずハードウェアリセットがアクティブとなるように設計してください。

3.3 ネットワークインターフェースの接続

本節は、ネットワークインターフェース（以下、“ネットワーク I/F”）の接続について記述します。

MKY02 は、8つのポートを持つ HUB 用 IC です。

MKY02 は、全てのポートに共通な1本の通信方式設定端子と、8組のネットワーク I/F 端子を装備しています。

ポート 0 には、RXD0 端子、TXE0 端子、TXD0 端子の3本のネットワーク I/F 端子があります。

ポート 1～7 には、RXD1 端子～RXD7 端子、TXE1 端子～TXE7 端子がそれぞれ対応していますが、個別の TXDn 端子はありません。ポート 1～7 に対しては、共通の TXD17 端子を1本装備しています。

3.3.1 通信方式の選択

MKY02 によって構築する HUB 装置を挿入する HLS の仕様がフルデュプレックス（全二重）通信方式である時には MKY02 の FH 端子（端子 51）を Hi レベルに、ハーフデュプレックス（半二重）通信方式である時には MKY02 の FH 端子を Lo レベルに固定してください（図 3.5 参照）。また、各ポートへ接続する通信ケーブルの TRX（ドライバ/レシーバ部品）の仕様も、FH 端子の設定と一致させてください。

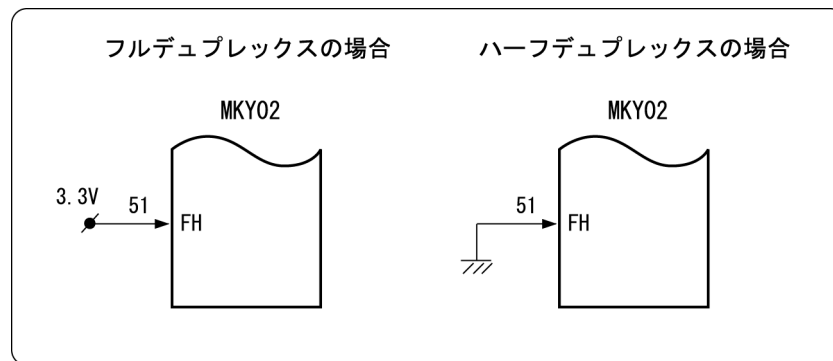


図3.5 通信方式の選択



参考

ハーフデュプレックス（半二重）通信方式時は、MKY02 がコマンドパッケージ（CP）を送信中に、自己の TXD 端子から出力された信号がそのまま自己の RXD 端子へ入力されてしまう場合があります。しかし、MKY02 はハーフデュプレックス（半二重）通信方式による運用時、TXE 端子が Hi の期間中にはデータを入力しない仕組みが採用されていますのでまったく問題ありません。

3.3.2 ポート 0 の接続

ポート 0 の TRX（ドライバ/レシーバ部品）を、RXD0 端子、TXE0 端子、TXD0 端子の3本のネットワーク I/F 端子へ接続してください（図 3.6 参照）。

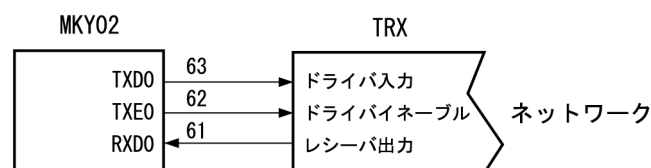


図3.6 ポート0のTRX接続

3.3.3 ポート1～7の接続

ポート1～ポート7のそれぞれへ接続されたTRX（ドライバ/レシーバ部品）のドライバ入力へ、TXD17端子の出力信号を接続してください。ポート1～ポート7のそれぞれへ接続されたTRXのドライバイネーブル入力端子へは、MKY02の送信イネーブル端子（TXE1～TXE7）の出力信号を接続してください。TRXのレシーバ出力信号はMKY02の入力端子（RXD1～RXD7）へ接続してください（図3.7参照）。

HUB装置においてサテライト側の一部のポートだけを利用する場合、使用しないポートの入力端子（RXDn）はHiレベルまたはLoレベルに固定し、送信イネーブル端子は開放にしてください（図3.8参照）。

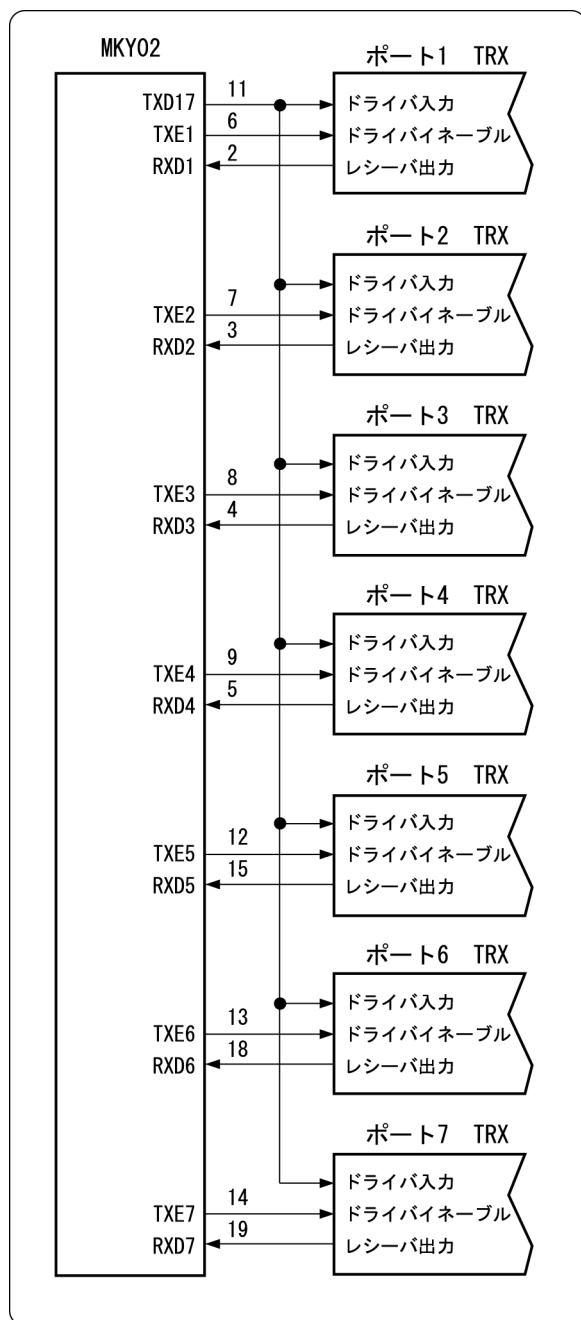


図3.7 ポート1～7のTRX接続

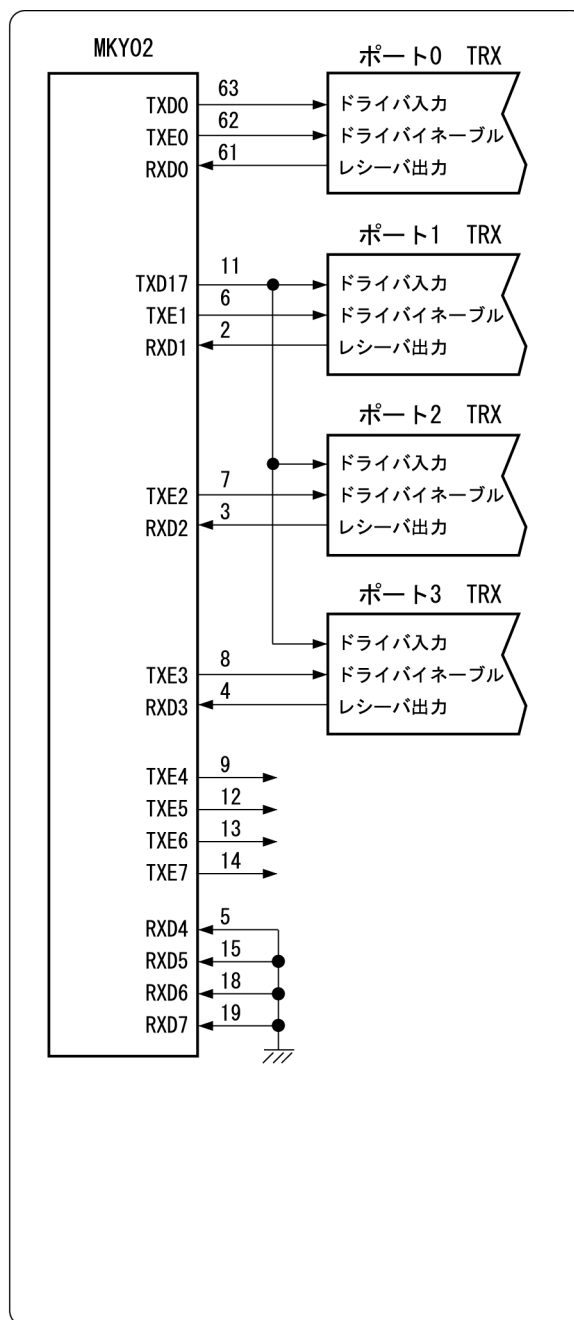


図3.8 4ポートHUBのTRX接続例

3.3.4 推奨のネットワーク接続

図 3.9 は、推奨のネットワーク接続です。TRX（ドライバ/レシーバ部品）は、RS-485 仕様のドライバ/レシーバ（5.0V 駆動 LSI）とパルストランスから構成されます。通信ケーブルは、LAN 用の通信ケーブル（10BASE-T、カテゴリ 3 以上）と同等以上の性能を持ち、かつ一括シールドの通信ケーブルです。フルデュプレックス（全二重）通信方式による HLS の運用時には 2 対のツイストペアを、ハーフデュプレックス（半二重）通信方式による運用時には 1 対のツイストペアを利用します。

HUB のポートが、通信ケーブルの終端となる接続の場合には、終端抵抗を接続してください。

HUB のポートが、通信ケーブルの中間となる接続の場合には、終端抵抗は接続しないでください。

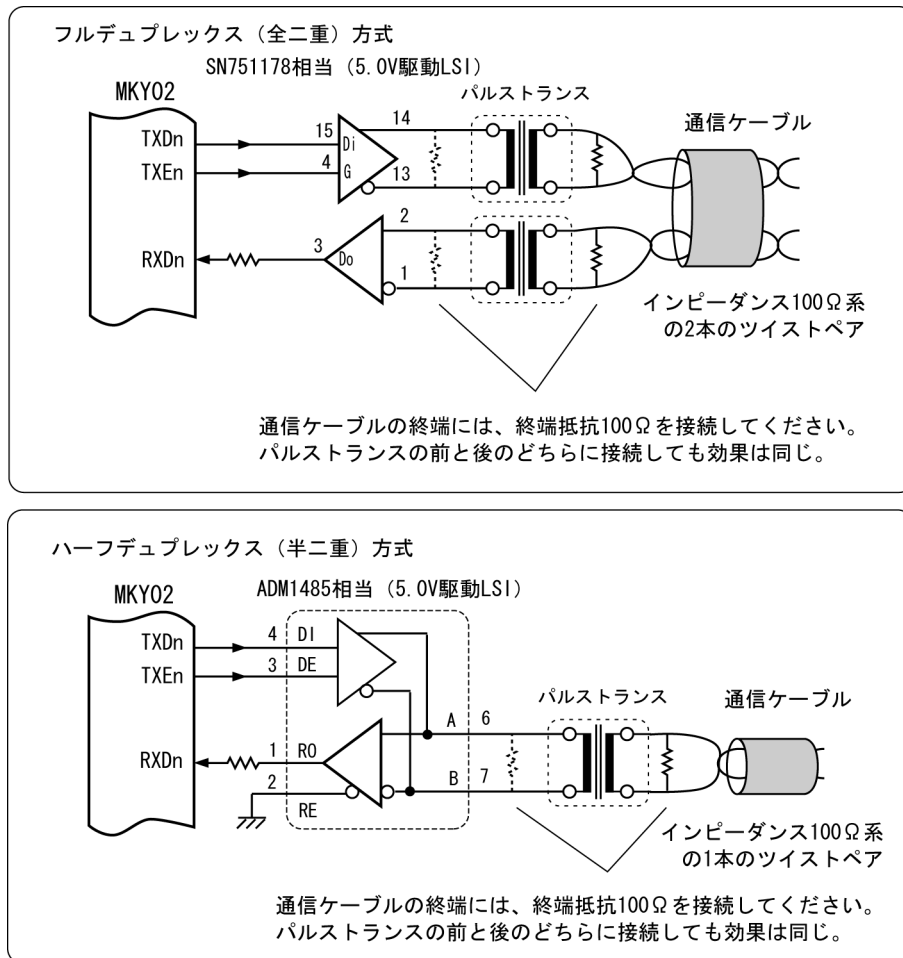


図3.9 推奨のネットワーク接続



参考

ネットワークの実際の敷設に役立つ予備知識や資料、終端抵抗の有無に関する概念は、“ハイスピードリンクシステム テクニカルガイド”に記述されています。また部品の選択や推奨部品の入手については、弊社の Web サイトもご参照ください。

<https://www.steptecnica.com/>

3.4 モニタ LED の接続

本節は、モニタ LED の接続について記述します。

3.4.1 パケット受信モニタ

MKY02は、8ポートのいずれかのポートがパケットを受信した時に、所定時間Loレベルを出力する#LEDRCV端子（端子44）を装備しています。この#LEDRCV端子へ、Loレベルの時に点灯するLEDを接続しておくことにより、MKY02のHUB機能が正常に動作していることを示すことが可能となります。

この端子は±8mAの駆動能力があります。8mA以下によって点灯可能なLEDであれば、図3.10の接続が可能です。図3.10の電流制限抵抗の値は、使用するLEDの定格に合わせてHUB装置のハードウェア設計者が決定してください。

#LEDRCV端子は、LEDのテストのために、ハードウェアリセットがアクティブの期間、およびリセットが解除された後から“500000 × TAX1”時間はLoレベルを出力します。

#LEDRCV端子から出力されるLoパルスは、“500000 × TAX1 (Xi=48MHz : 12Mbps 時≒ 43.69ms、6Mbps 時≒ 87.38ms、3Mbps 時≒ 174.76ms)”時間を最小とするリトリガブルワンショットマルチバイブレータによって生成されます。このため時間内に8ポートのいずれかのポートが再度パケットを受信した場合には、Loパルスの幅が長くなります。MKY02の転送レートとして12Mbpsが選択されている場合であっても、Loパルスの最小時間は約43.69msであり、LEDの点灯を目視可能です。

#LEDRCV端子へは、安定を示す緑色のLEDを接続することを推奨します。

本端子を使用しない場合は、開放にしてください。



参考

正常かつ継続的に稼動するHLSにMKY02を挿入した場合には、#LEDRCV端子の出力は、通常Loレベルが連続します。

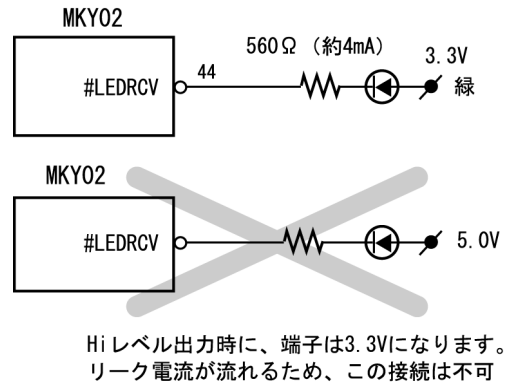


図3.10 受信モニタLEDの接続

3.4.2 パケット異常モニタ

MKY02 は、いずれかのポートが異常なパケットを受信した時に所定時間 Lo レベルを出力する #LEDRZE 端子 (端子 45) を装備しています。この #LEDRZE 端子に、Lo レベルの時に点灯する LED を接続しておくことにより、MKY02 のいずれかのポートが異常なパケットを受信したことを示すことが可能となります。

この端子は± 8mA の駆動能力があります。8mA 以下によって点灯可能な LED であれば、図 3.11 の接続が可能です。図 3.11 の電流制限抵抗の値は、使用する LED の定格に合わせて HUB 装置のハードウェア設計者が決定してください。

#LEDRZE 端子は、LED のテストのために、ハードウェアリセットがアクティブの期間、およびリセットが解除された後から“500000 × TAX1”時間は Lo レベルを出力します。

#LEDRZE 端子から出力される Lo パルスは、“500000 × TAX1 (Xi=48MHz : 12Mbps 時≒ 43.69ms、6Mbps 時≒ 87.38ms、3Mbps 時≒ 174.76ms)” 時間を最小とするリトリガブルワンショットマルチバイブレータによって生成されます。このため時間内に 8 ポートのいずれかのポートが再度異常なパケットを受信した場合には、Lo パルスの幅が長くなります。MKY02 の転送レートとして 12Mbps が選択されている場合であっても、Lo パルスの最小時間は約 43.69ms であり、LED の点灯を目視可能です。

#LEDRZE 端子へは、異常を示す赤色の LED を接続することを推奨します。本端子を使用しない場合は、開放にしてください。



#LEDRZE 端子による LED 表示は、HUB 装置へ接続されたケーブルが限界長に近い場合や、通信ケーブルにインピーダンス不整合がある場合、システムへノイズ侵入がある場合、端末やセンタ装置において異常が生じた場合などに点灯することが考察されますので、HUB 装置の確認し易い位置に LED 表示を配置することを推奨します。

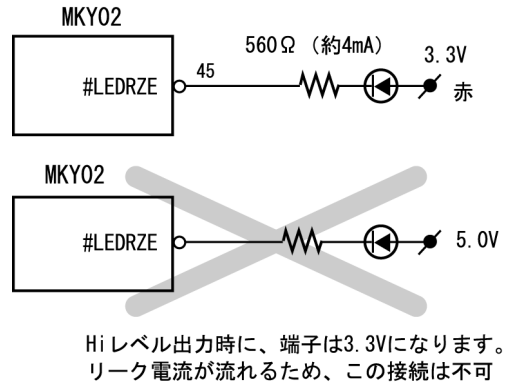


図3.11 パケット異常モニタLEDの接続

3.4.3 ポート別受信モニタ

MKY02 は、個別のポートに対応するポート別受信モニタを増設できる、3本の出力端子（RLDT、RLCK、RLLD）を装備しています。RLDT 端子（端子 29）、RLCK 端子（端子 30）、RLLD 端子（端子 31）は、以下のように動作します。

- ① ハードウェアリセットがアクティブの場合、全ての端子は Lo レベルを出力します。
- ② ハードウェアリセットがアクティブでない場合、“ $2^{17} \times TAX1$ ” 時間周期を 1 単位とする、図 3.12 に示す仕様の信号を出力します。

MKY02 は、内部において“ $2^{17} \times TAX1$ ” 時間の間にパケットを受信したポート状態を記憶します。次の“ $2^{17} \times TAX1$ ” 時間の間に、記憶された状態を図 3.12 に示す仕様の信号形態によって RLDT 端子へ出力します。

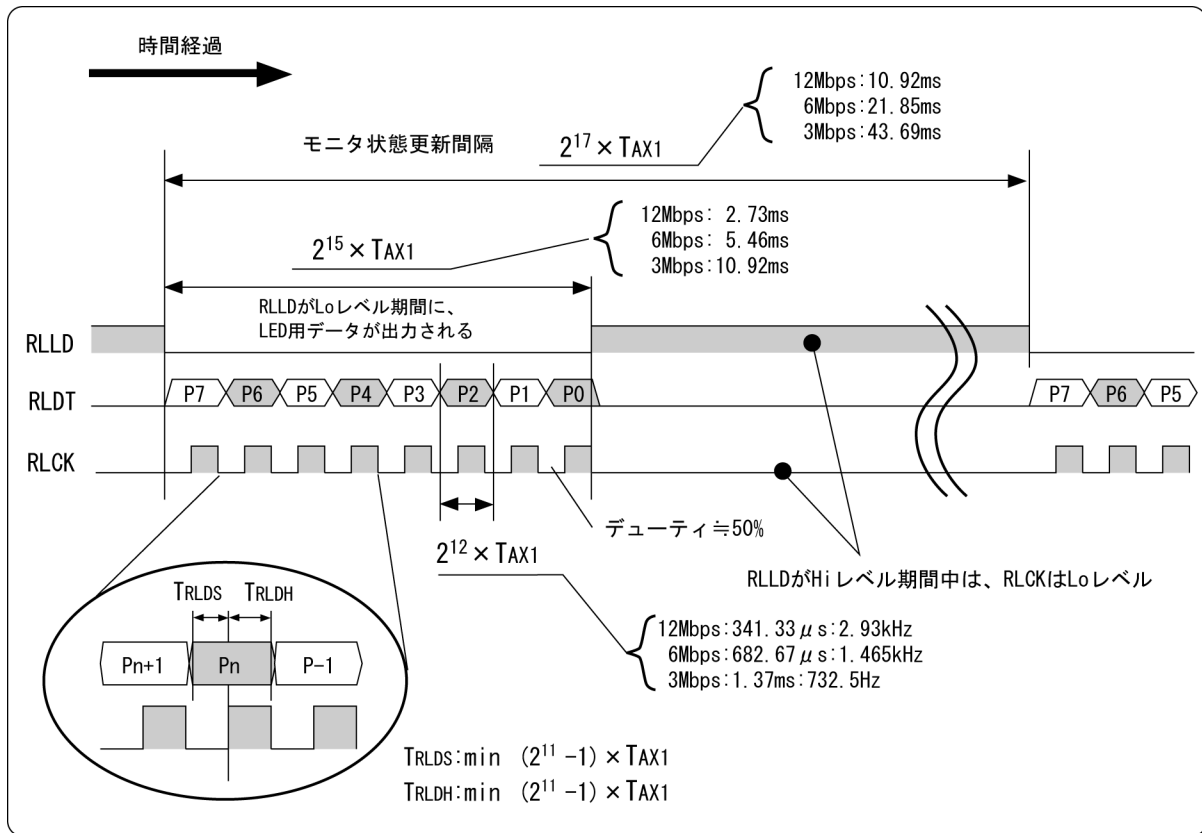


図3.12 RLLD、RLDT、RLCK 出力

図 3.13 に示す、8 ビットのシフトレジスタと 8 ビットのラッチを増設することによって、個別のポートに対応するポート別受信モニタを増設することが可能です。図 3.14 は、4 ポート HUB の場合（8 つのポートを使用しない場合）の増設回路例です。

正常かつ継続的に稼動する HLS に MKY02 が挿入された場合には、“ $2^{17} \times TAX1$ ” 時間の間に数サイクル分のパケット送受信が実行されるため、センタ IC あるいはサテライト IC が接続されているポートに対応する受信モニタは常時点灯状態となることが考察されます。

図 3.13 および図 3.14 に示す、個別のポートに対応するポート別受信モニタ LED および電流制限抵抗値は、増設するラッチ部品の出力仕様に適合するよう HUB 装置のハードウェア設計者が決定してください。個別のポートに対応する受信モニタ LED としては、安定を示す緑色の LED を接続することを推奨します。

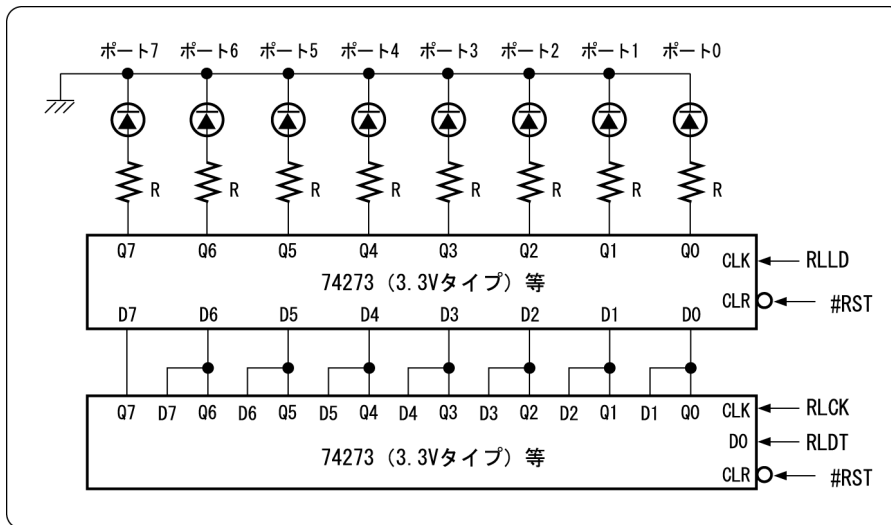


図3.13 8ポート個別受信モニタ

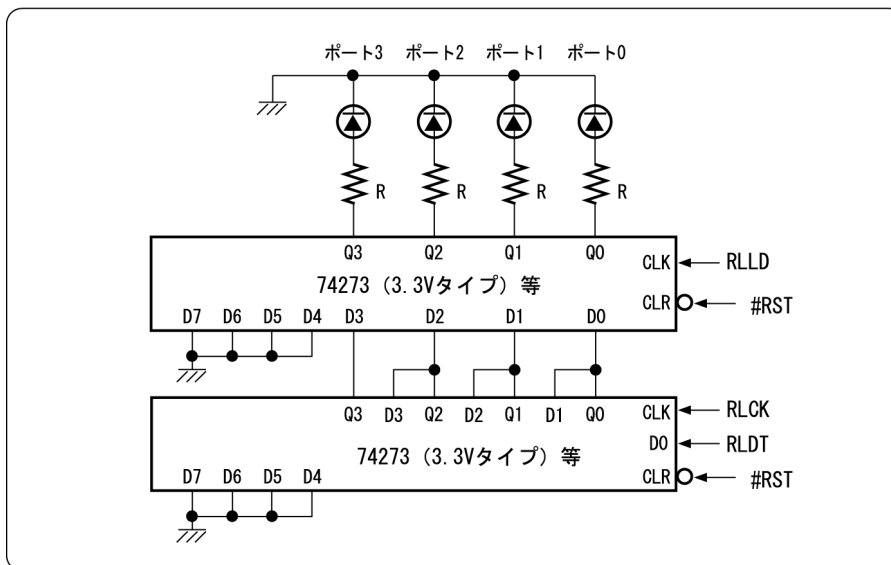


図3.14 4ポート個別受信モニタ

RLDT 端子、RLCK 端子、RLLD 端子へ増設回路を接続しない場合には、それぞれの端子を開放にしてください。



個別のポートに対応する受信モニタのいずれかが点灯する状態においては、“**3.4.1 パケット受信モニタ**” に記述されている LED も点灯します。両方を取り付けておくと、HUB 装置の利用者に混乱が生じる可能性があります。受信モニタの取付けについては、HUB 装置の設計者あるいはユーザシステムの設計者が決定してください。

3.5 カスケード接続端子の処理

“1つのMKY02によって構成する2～8ポートHUB”の設計においては、MKY02が装備しているカスケード接続が機能しないようにするために、必ず以下を処理してください（図3.15参照）。

- ① CIE1 端子（端子 60）、CIP1 端子（端子 59）、CID1 端子（端子 58）、CIHR 端子（端子 57）、CIE2 端子（端子 25）、CIP2 端子（端子 26）、CID2 端子（端子 27）を、Lo レベルに固定してください。
- ② COE1 端子（端子 20）、COP1 端子（端子 21）、COD1 端子（端子 22）、COHR 端子（端子 23）、COE2 端子（端子 56）、COP2 端子（端子 55）、COD2 端子（端子 54）を、開放にしてください。

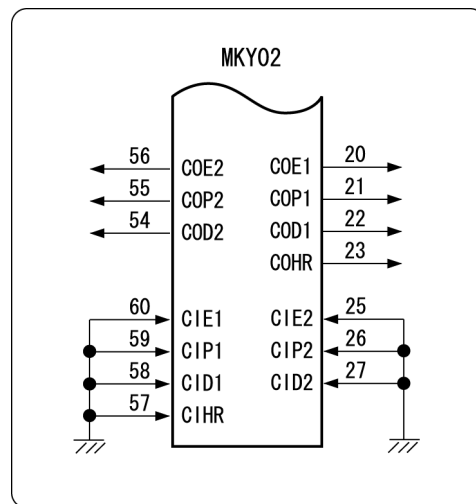


図3.15 カスケード接続端子の処理

3.6 HUB 装置設計上の注意

MKY02によって構成するHUB装置の設計にあたっては、以下の点に注意してください。

- ① ドライバ／レシーバとパルストランスおよび通信ケーブルコネクタなどへのアナログ信号線の長さは、クロストークの発生原因にならないように、信号線間を交差したり不要に長くしないでください（MKY02とTRX部品間の接続線はデジタル信号であるため、この限りではありません）。
- ② HUBのポートが通信ケーブルの終端となる接続の場合には、終端抵抗を接続してください。HUBのポートが通信ケーブルの中間となる接続の場合には、終端抵抗は接続しないでください。
- ③ サテライト側のポート1～7が同時にパケットを受信した場合には、ポート番号が小さいポートが優先して動作します。
- ④ 推奨部品のパルストランス（SPT-401シリーズ）は、12.5Mbps～3Mbpsに対応しています。12.5Mbps～3Mbps以外の転送レートを利用するHUB装置を設計する場合には、SPT-401シリーズ以外のパルストランスを利用する必要があります。適切なパルストランスは、設計者ご自身が選択してください。

3.7 MKY02 のシングル接続による回路例

図 3.16 に、ハーフデュプレックス（半二重）通信方式対応の 8 ポート HUB 装置（センタ側ポート 0、サテライト側ポート 1～7）の回路例を示します。回路例においては、DIP-SW によって 12Mbps/6Mbps/3Mbps を設定でき、ポート別受信モニタ回路も増設されています。

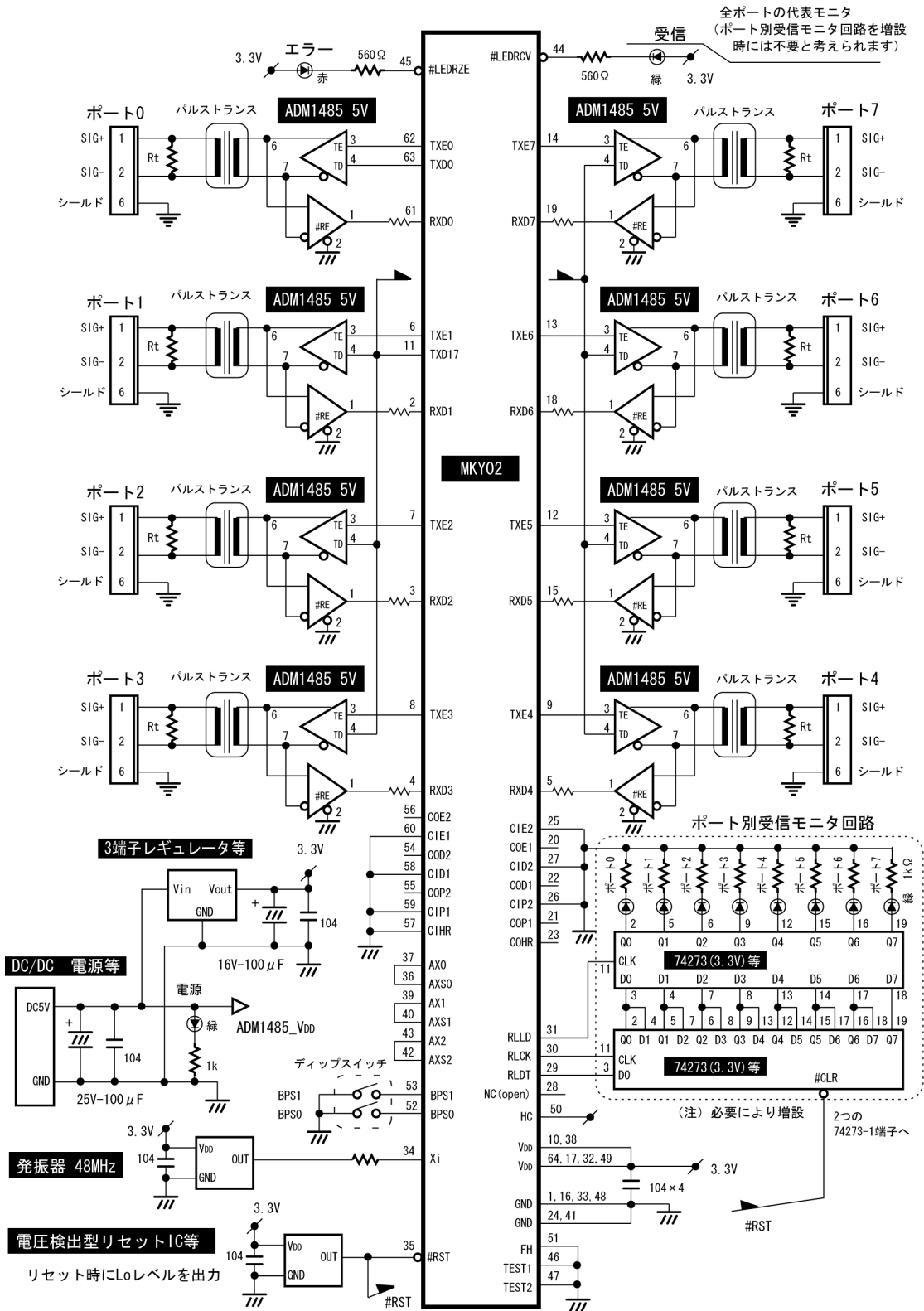


図3.16 ハーフデュプレックス対応シングル接続回路例

第 4 章 MKY02 のカスケード接続

本章は、HLS に挿入する“複数の MKY02 によって構成する多ポート（9 ポート以上）HUB”（“1.6 HUB 装置のポート増設”参照）を設計するために必要な端子の役割や接続について記述します。

4.1	ポート増設の概念	4-3
4.2	カスケード接続の実際	4-5
4.3	カスケード接続によるポート増設 HUB 装置の回路例	4-10

第4章 MKY02 のカスケード接続

本章は、HLS に挿入する“複数の MKY02 によって構成する多ポート（9 ポート以上）HUB”（“1.6 HUB 装置のポート増設”参照）を設計するために必要な概念や端子の役割、接続について記述します。

4.1 ポート増設の概念

複数の HUB-IC を使用して、HUB 装置のポートを増設する概念について記述します。

4.1.1 段積み方式によるポート増設

複数の HUB-IC を使用して、HUB 装置のポートを増設する場合は、3 つの MKY02 を使用している例（図 4.1）のように、サテライト側の 1 つのポートを次の MKY02 のポート 0 へ接続する“段積み”の方法が考えられます。

“段積み”の概念による接続においては、以下の不利点が生じます。

- ① 段積みの後段のポートほどタイムラグ（“1.7.1 パケットの受信と送信”参照）が累積して大きくなる。
- ② MKY02 のサテライト側ポートが 1 つ利用できなくなる。

特にリアルタイム性の高いユーザシステムに利用される HLS においては、上記①のタイムラグの増加が不都合な場合があります。

また、HUB 装置を挿入する HLS に利用されているセンタ IC の品種によっては、“段積み”の数に上限があるため、利用できるポート数や実際に挿入できる HUB 装置数が、ユーザシステムの要望を叶えられなくなる場合も考えられます。

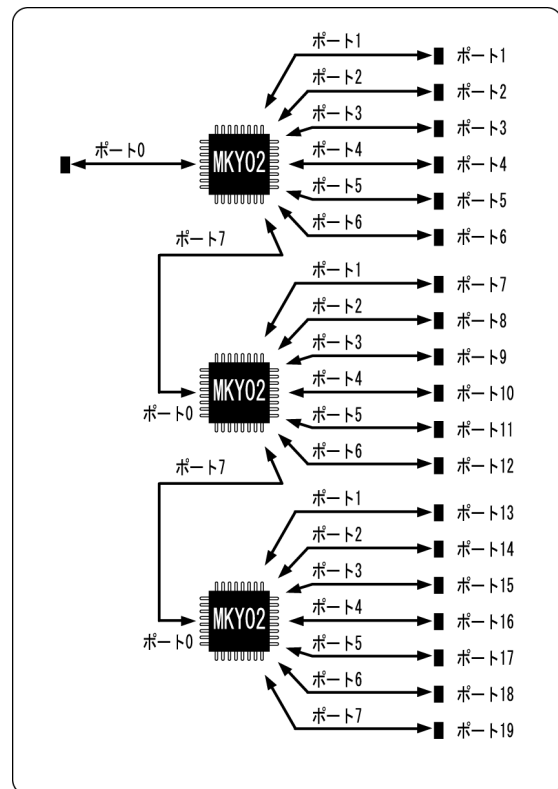


図4.1 3段の段積みポート増設

4.1.2 カスケード接続によるポート増設

MKY02 は、段積み方式による問題を解決するためのカスケード接続端子を装備しています。

複数の MKY02 を利用した場合でも、カスケード接続端子を連結接続 (図 4.2 参照) することによって、あたかも 1 つの HUB-IC であるように取り扱うことができます。

複数の MKY02 をカスケード接続した場合、“1.7.1 パケットの受信と送信” に記述されたパケットの受信から送信までのタイムラグ (遅れ) は、どのポートにおいても均一であり、HUB 装置は 1 つの MKY02 によって設計された場合と同一です。

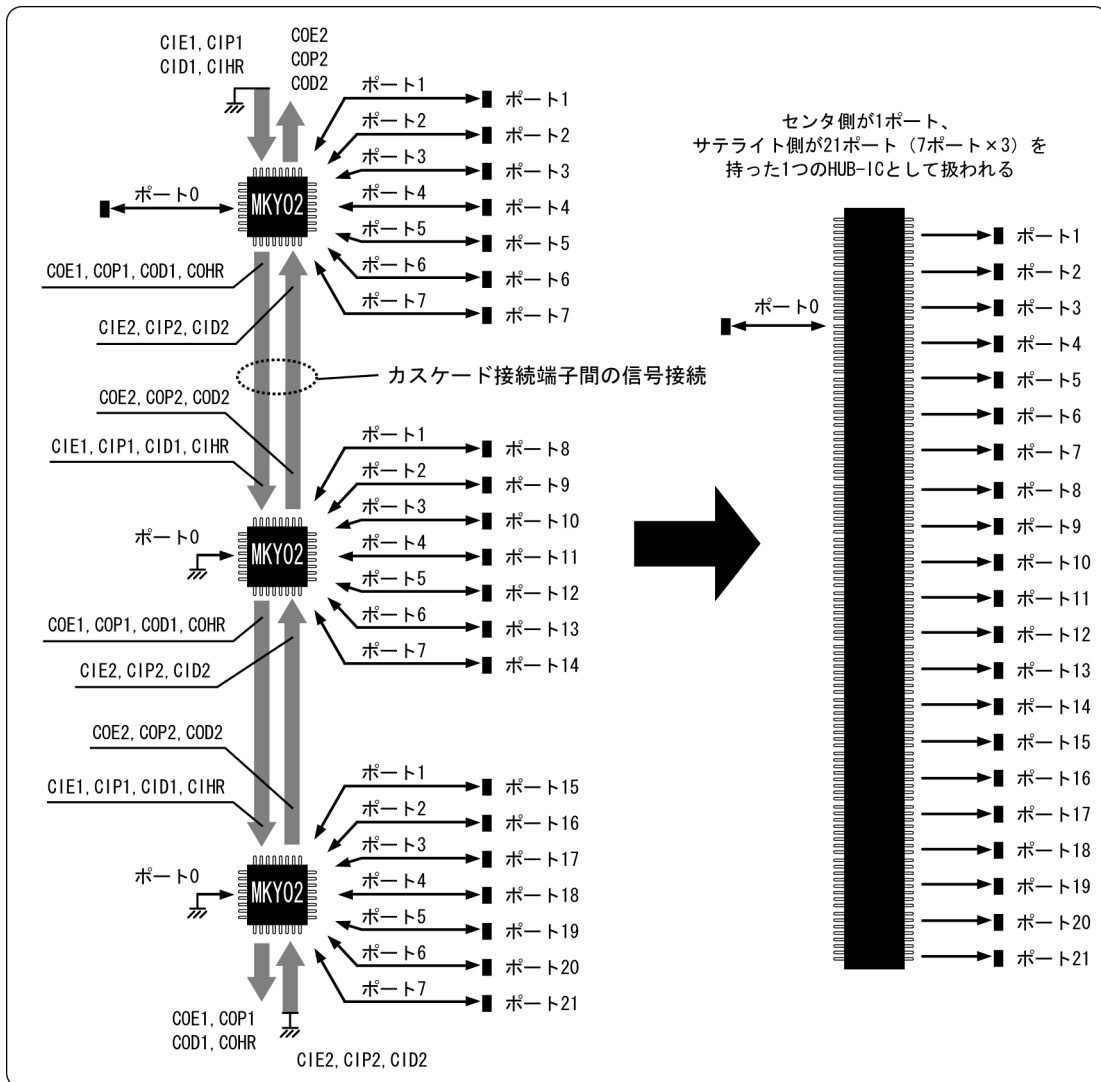


図4.2 3つのカスケード接続によるポート増設

4.1.3 カスケード接続可能最大数

HLS 用 HUB 装置を構成する際の、内部におけるカスケード接続可能な MKY02 の最大数は“9”です。したがって、カスケード接続によりポート増設した HUB 装置は、センタ側 1 ポート、サテライト側 63 ポート (7 ポート× 9 個の MKY02) が最大です。

4.2 カスケード接続の実際

本節は、カスケード接続の実際について記述します。

4.2.1 カスケード接続端子

MKY02 は、CIE1（端子 60）、CIP1（端子 59）、CID1（端子 58）、CIHR（端子 57）、COE1（端子 20）、COP1（端子 21）、COD1（端子 22）、COHR（端子 23）の“優先順”カスケード接続端子と、CIE2（端子 25）、CIP2（端子 26）、CID2（端子 27）、COE2（端子 56）、COP2（端子 55）、COD2（端子 54）の“逆優先順”カスケード接続端子を装備しています。

MKY02 をカスケード接続する場合を例にした接続手順は以下です（図 4.3 および図 4.4 参照）。

- ① 最上位の MKY02 が装備しているカスケード接続端子 C_{Ix1}（CIE1、CID1、CIP1）と CIHR は、Lo レベルに固定してください。
- ② MKY02 が装備しているカスケード接続端子 CO_{x1}（COE1、COD1、COP1）と COHR は、次の“優先順”を持った MKY02 の C_{Ix1}（CIE1、CID1、CIP1）および CIHR 端子へ接続してください。
- ③ 最下位の MKY02 が装備しているカスケード接続端子 CO_{x1}（COE1、COD1、COP1）と COHR は、開放にしてください。
- ④ 最下位の MKY02 が装備しているカスケード接続端子 C_{Ix2}（CIE2、CID2、CIP2）は、Lo レベルに固定してください。
- ⑤ MKY02 が装備しているカスケード接続端子 CO_{x2}（COE2、COD2、COP2）は、次の“逆優先順”を持った MKY02 の C_{Ix2}（CIE2、CID2、CIP2）端子へ接続してください。
- ⑥ 最上位の MKY02 が装備しているカスケード接続端子 CO_{x2}（COE2、COD2、COP2）は、開放にしてください。

図 4.2 においては、3つの MKY02 のうち上方に存在する MKY02 が優先順最上位の MKY02 です。

複数の MKY02 をカスケード接続した場合のポート優先順位は、最上位から最下位までの順列になります。

したがって、サテライト側のポート番号は、優先順位に沿った番号を付与してください（図 4.2 参照）。

センタ側のポートとしては、最上位の MKY02 のポート 0 を利用し、それ以外の MKY02 のポート 0 は使用しないでください（図 4.2 参照）。

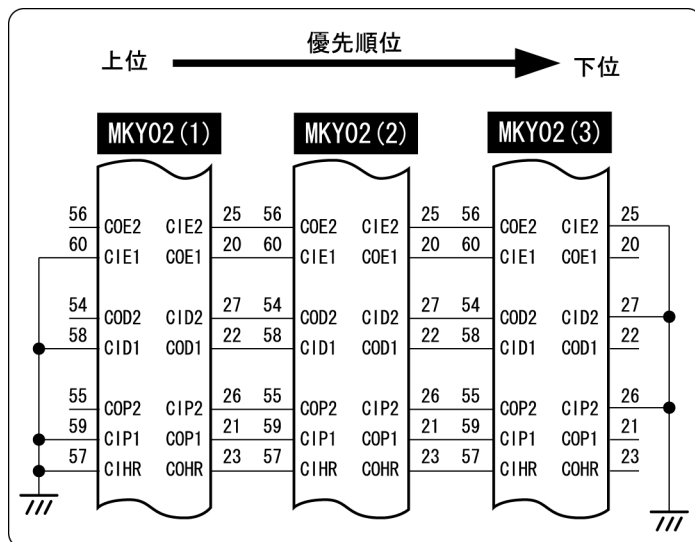


図4.3 3つのMKY02カスケード端子接続

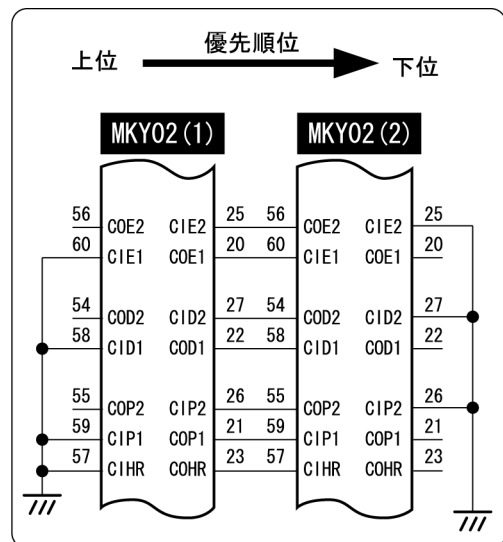


図4.4 2つのMKY02カスケード端子接続

4.2.2 カスケード接続端子の動作

カスケード接続された MKY02 のカスケード接続端子は、以下のように動作します。

- ① 優先順最上位のポート 0 が受信したパケットは、ポート 1～7 から送信されると共に、“優先順” カスケード接続端子 (COE1、COP1、COD1、COHR および CIE1、CIP1、CID1、CIHR) を経由して別の MKY02 のポート 1～7 から送信されます (図 4.5 参照)。この時、COD1 端子からは、NRZ 信号形式であり、かつ最小パルス幅が“2 × TbPS” 時間である送信パケットデータが出力されます。COE1、COP1、COHR 端子から、パケット送信制御の Hi レベルステータス信号が出力されます。
- ② 優先順最上位でない MKY02 のポート 1～7 が受信したパケットは、“逆優先順” カスケード接続端子 (COE2、COP2、COD2 および CIE2、CIP2、CID2) を経由して優先順最上位の MKY02 のポート 0 から送信されます (図 4.6 参照)。この時、COD2 端子からは、NRZ 信号形式であり、かつ最小パルス幅が“2 × TbPS” 時間である送信パケットデータが出力されます。COE2 および COP2 端子からは、パケット送信制御の Hi レベルステータス信号が出力されます。
- ③ COE1、COP1、COD1、COHR 端子は、上記の①以外の時に Lo レベルを出力しています。
- ④ COE2、COP2、COD2 端子は、上記の②以外の時に Lo レベルを出力しています。

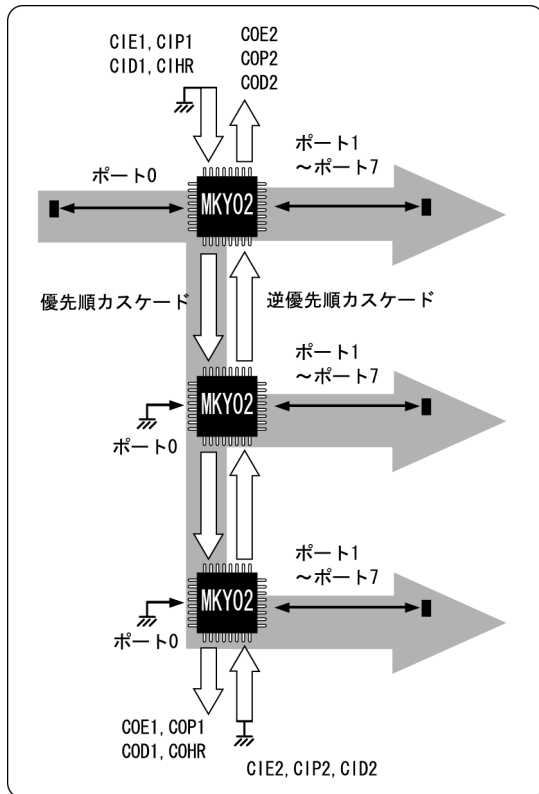


図4.5 センタ側ポートと受信時の動作

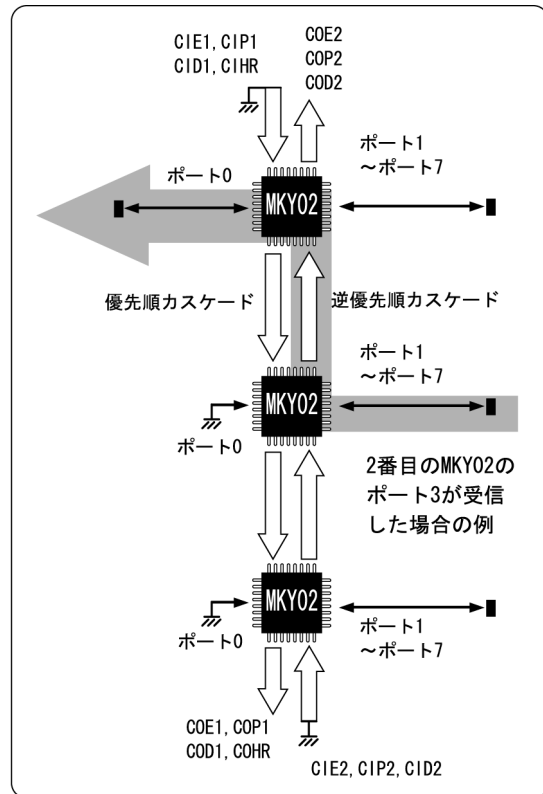


図4.6 サテライト側ポートと受信時の動作

4.2.3 カスケードクロックの接続と転送レートの決定

MKY02 は、カスケードクロックを生成する回路を搭載しています。Xi 端子へ入力するクロックから、BPS1 と BPS0 端子の設定に応じた転送レートのカスケードクロックを生成します（“3.2.2 カスケードクロックと転送レートの設定” 参照）。

複数の MKY02 をカスケード接続して利用する際には、優先順最上位の MKY02 によって生成されたカスケードクロックを別の MKY02 へも供給します（図 4.7 参照）。これにより、優先順最上位の MKY02 に対して設定した転送レートが、別の MKY02 にも適用されます。

優先順最上位以外の MKY02 は、以下のように処理してください（図 4.7 参照）。

- ① Xi 端子（端子 34）を、Lo レベルまたは Hi レベルに固定してください（開放することによって、内部プルアップ抵抗の効果により Hi レベルに固定できます）。
- ② BPS0（端子 52）と BPS1（端子 53）端子を、Lo レベルまたは Hi レベルに固定してください（開放することによって、内部プルアップ抵抗の効果により Hi レベルに固定できます）。
- ③ AXS0（端子 36）、AXS1（端子 40）、AXS2（端子 42）端子を開放にしてください。

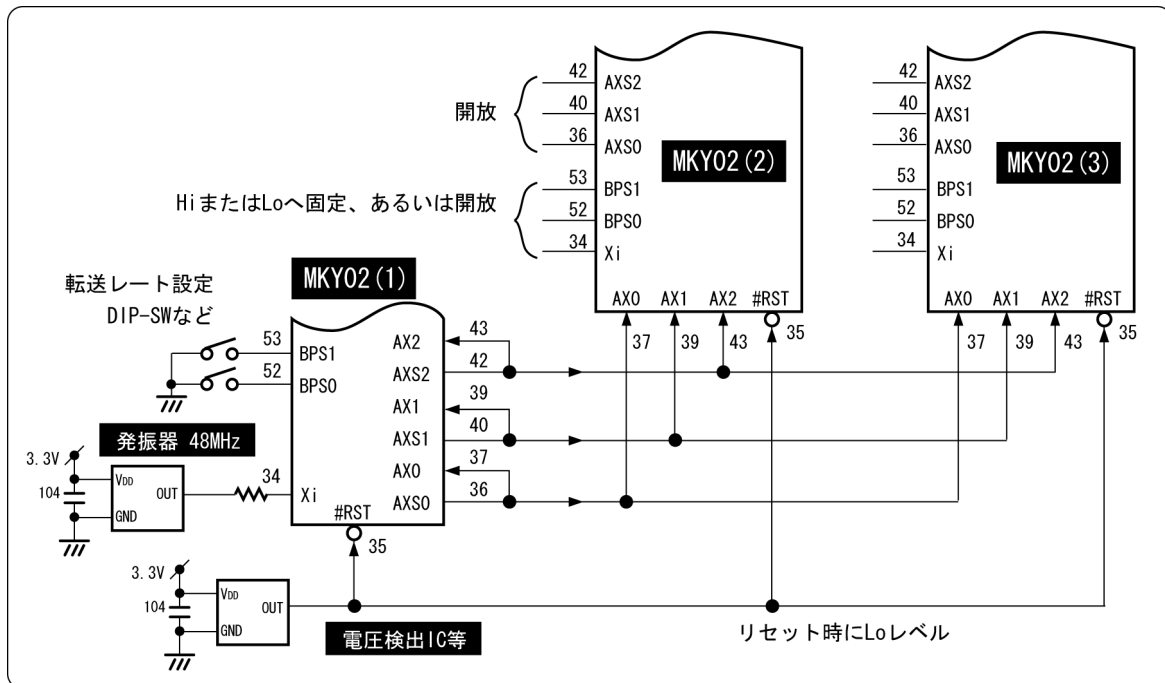


図4.7 カスケードクロックの接続



注意事項

カスケード接続する全ての MKY02 の AX0、AX1、AX2 端子へは、同一位相のクロックが供給されなければなりません。したがってカスケードクロックを接続する際には、3つのクロック線の回路パターン長を均一にしてください。また回路パターン長は、40cm 以内にしてください。

4.2.4 ハードウェアリセット信号の接続

カスケード接続する全ての MKY02 に共通するハードウェアリセット信号を、#RST 端子（端子 35）へ接続してください（図 4.7 参照）。ハードウェアリセット信号の仕様は“3.2.3 ハードウェアリセット”の記述に適合させてください。

4.2.5 通信方式の共通選択

複数の MKY02 をカスケード接続して構築する“ポート増設された HUB 装置”を挿入する HLS の仕様が、フルデュプレックス（全二重）通信方式である時には全ての MKY02 の FH 端子（端子 51）を Hi レベルに、ハーフデュプレックス（半二重）通信方式である時には全ての MKY02 の FH 端子を Lo レベルに固定してください（図 4.8 参照）。また、各ポートへ接続する通信ラインの TRX（ドライバ/レシーバ部品）の仕様も、FH 端子の設定と一致させてください。

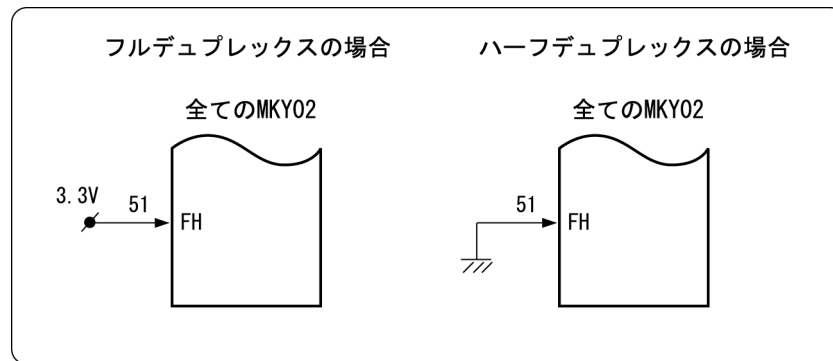


図4.8 通信方式の共通選択



注意事項

フルデュプレックス（全二重）通信方式とハーフデュプレックス（半二重）通信方式を混在させてカスケード接続することはできません。カスケード接続する MKY02 には、必ず同一の通信方式を設定してください。

4.2.6 各ポートの接続

複数の MKY02 をカスケード接続して構築する“ポート増設された HUB 装置”においては、優先順最上位の MKY02 のポート 0 に（“3.3.2 ポート 0 の接続”を参照の上）TRX を接続し、センタ IC へ接続するポートとして利用してください。

優先順最上位以外の MKY02 の TXE0（端子 62）と TXD0（端子 63）は開放にしてください。

優先順最上位以外の MKY02 の RXD0（端子 61）は、Hi または Lo レベルに固定してください。

複数の MKY02 のサテライト側ポートへは、（“3.3.3 ポート 1～7 の接続”を参照の上）それぞれ TRX を接続し、サテライト IC へ接続するポートとして利用してください。また使用しないポートの処理については、“3.3.3 ポート 1～7 の接続”を参照してください。

複数の MKY02 をカスケード接続した場合のポート優先順位は、最上位から最下位までの順列になります。したがって、サテライト側のポート番号は、優先順位に沿った番号を付与してください（図 4.2 参照）。



参考

優先順最上位以外の MKY02 のポート 0 に優先順最上位の MKY02 のポート 0 と同様に TRX が接続されていても、通信ラインを接続しなければパケットを受信しないので、問題になりません。このことは、シングル接続用の基板とカスケード接続用の基板を共用できるように設計する時などに有効です。

4.2.7 モニタ LED の配置

MKY02 は各種のモニタ LED を接続できる機能を装備しています（“3.4 モニタ LED の接続” 参照）。MKY02 のカスケード接続によってポート増設した HUB 装置においては、モニタ LED の配置に配慮することによって、ユーザシステムの設置や通信ケーブルの敷設、各種メンテナンス時における利便性が高まります（図 4.9 参照）。

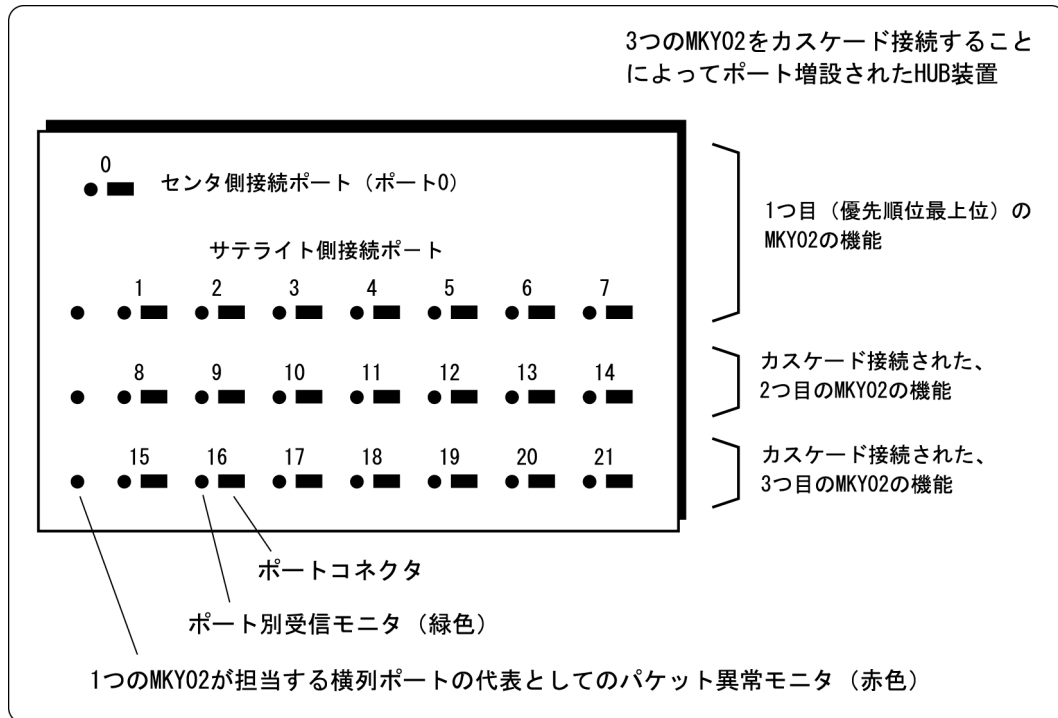


図4.9 ポート増設HUB装置のモニタ配置例

このことから、以下のモニタ LED の配置を推奨します。

- ① ポート別受信モニタの LED を、各ポートコネクタの傍らにそれぞれ配置する（図 4.9 参照）。ポート別受信モニタの詳細については、“3.4.3 ポート別受信モニタ”を参照してください。
- ② パケット異常モニタの LED を、1つの MKY02 が担当するポートの代表として、MKY02 の個数分配配置する（図 4.9 参照）。パケット異常モニタの詳細については、“3.4.2 パケット異常モニタ”を参照してください。

モニタ LED の配置や装備の有無は、HUB 装置を設計するお客様ご自身が決定してください。



参考

“3.4.1 パケット受信モニタ”に記述されたパケット受信モニタ、および“3.4.2 パケット異常モニタ”に記述されたパケット異常モニタは、各ポートの入力端子（RXD0～RXD7 端子）からパケットを受信した場合に機能します。このため“4.2.2 カスケード接続端子の動作”に記述された、優先順カスケード接続信号および逆優先順カスケード信号を経由して通過するパケットに対しては機能しません。したがって、MKY02 のカスケード接続によってポート増設した HUB 装置においてパケット受信モニタやパケット異常モニタを配置する場合には、使用する MKY02 の個数分装備することを推奨します。

4.3 カスケード接続によるポート増設 HUB 装置の回路例

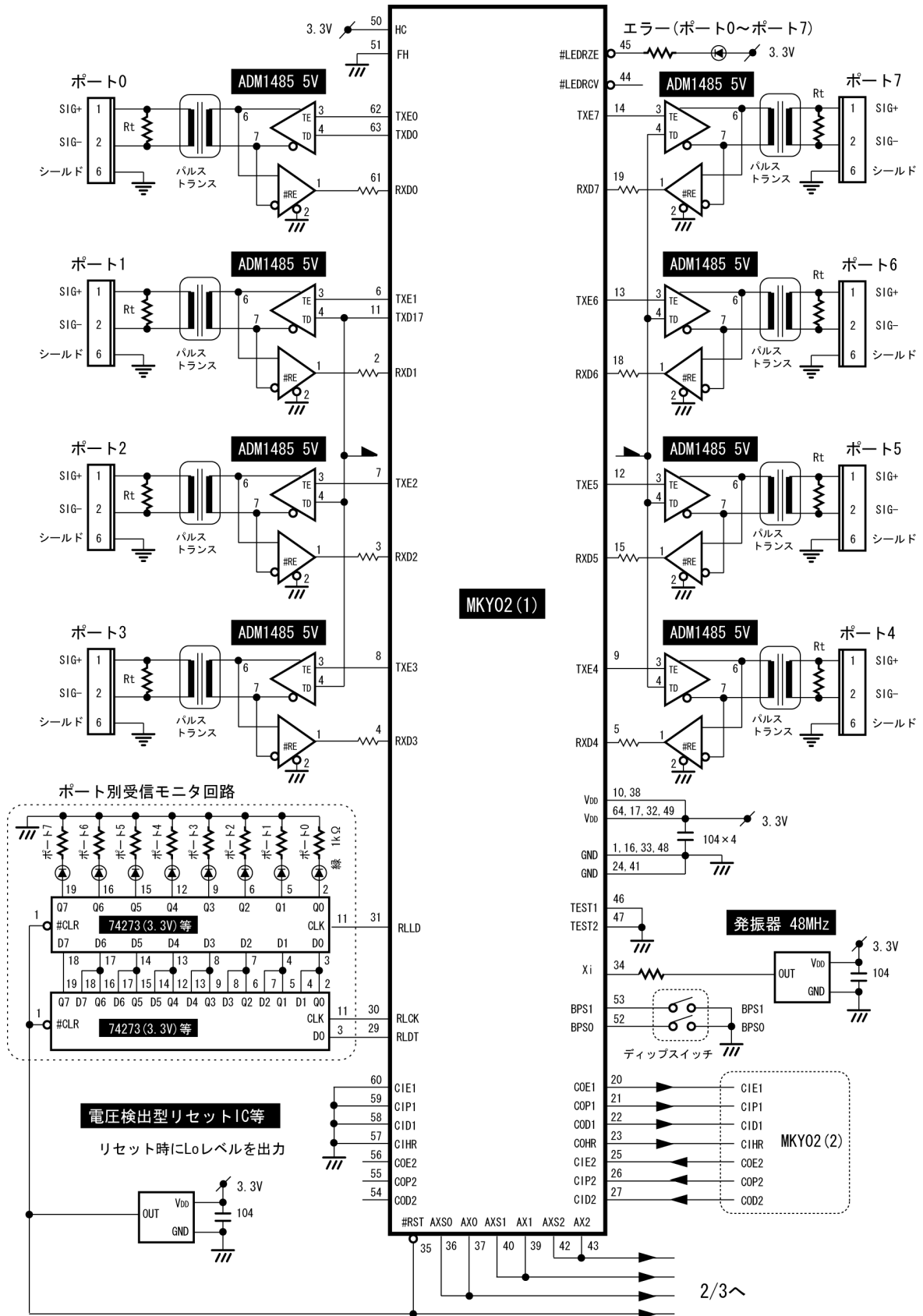


図4.10 22ポートHUB回路例 (1/3)

第4章 MKY02 のカスケード接続

図 4.10 は、ハーフデュプレックス（半二重）通信方式対応の 22 ポート HUB 装置（センタ側ポート 0、サテライト側ポート 1～21）の回路例を示します。回路例においては、DIP-SW によって 12Mbps / 6Mbps / 3Mbps を設定でき、ポート別受信モニタ回路も増設しています。

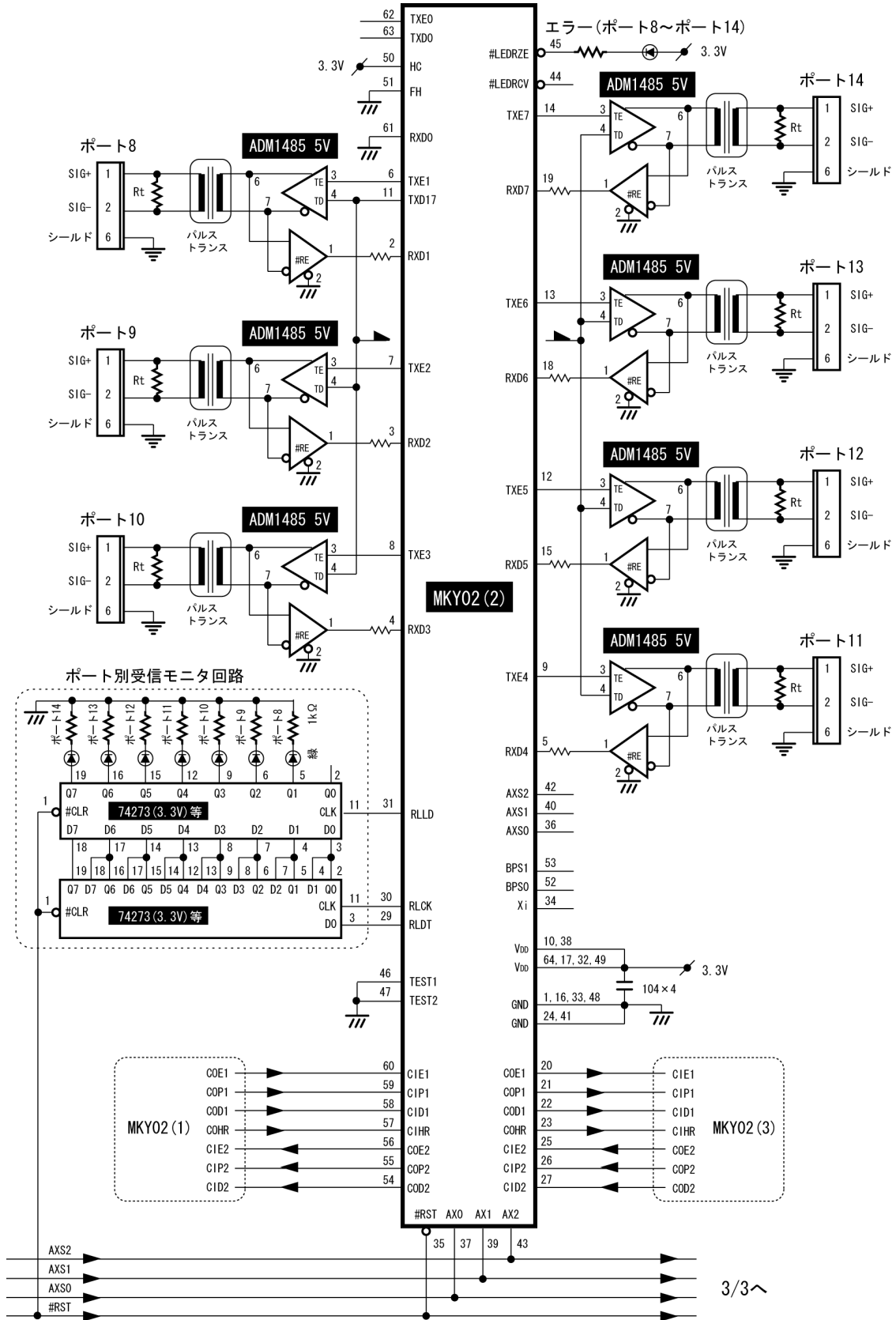


図4.10 22ポートHUB回路例 (2/3)

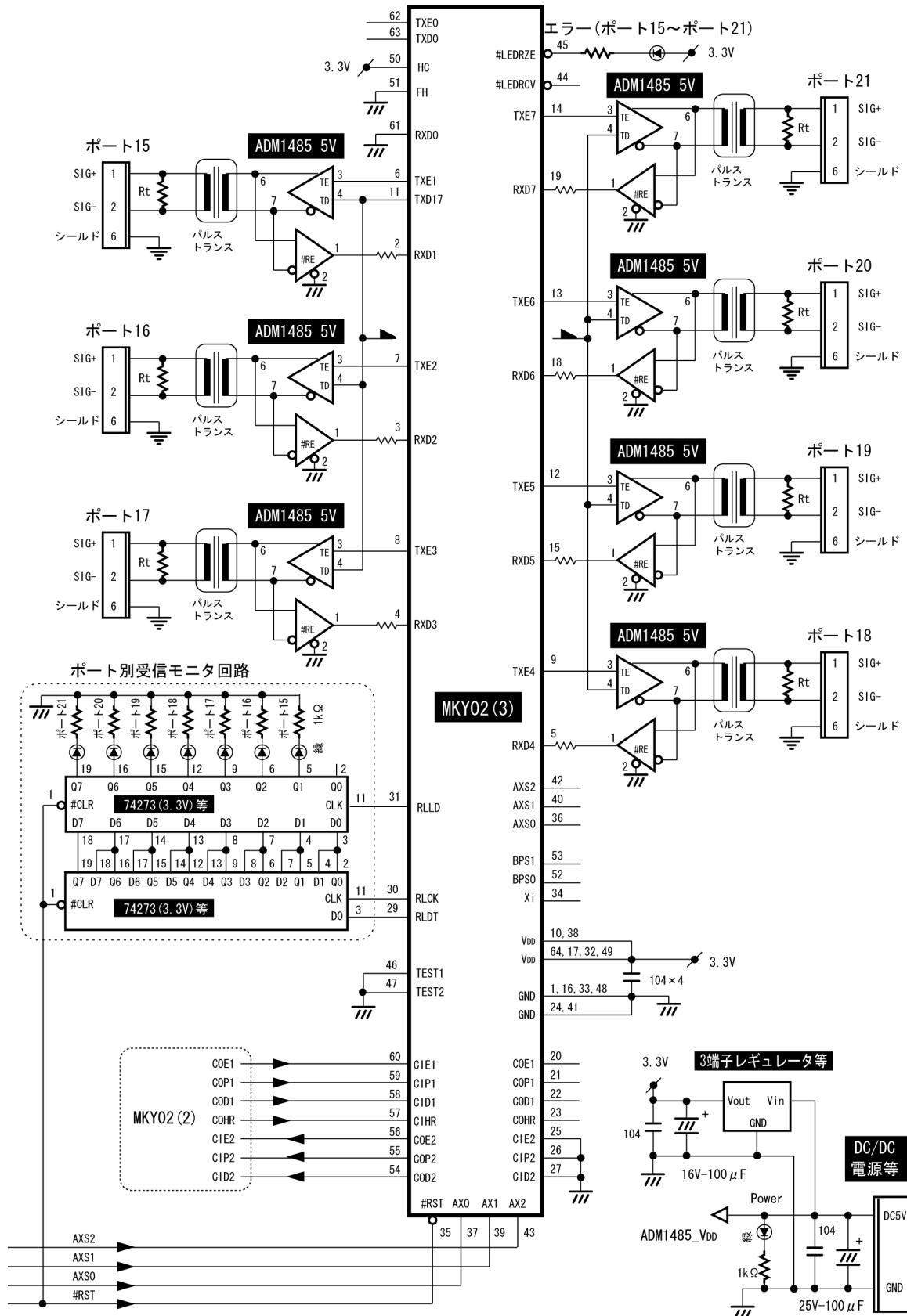


図4.10 22ポートHUB回路例 (3/3)

第4章 MKY02 のカスケード接続

フルデュプレックス（全二重）通信方式に対応させる場合には、図 4.10 回路例の TRX 接続と FH 端子（端子 51）の接続を図 4.11 の内容に変更することにより、フルデュプレックス（全二重）通信方式に対応した 22 ポート（センタ側ポート 0、サテライト側ポート 1～21）HUB 装置を設計することができます。

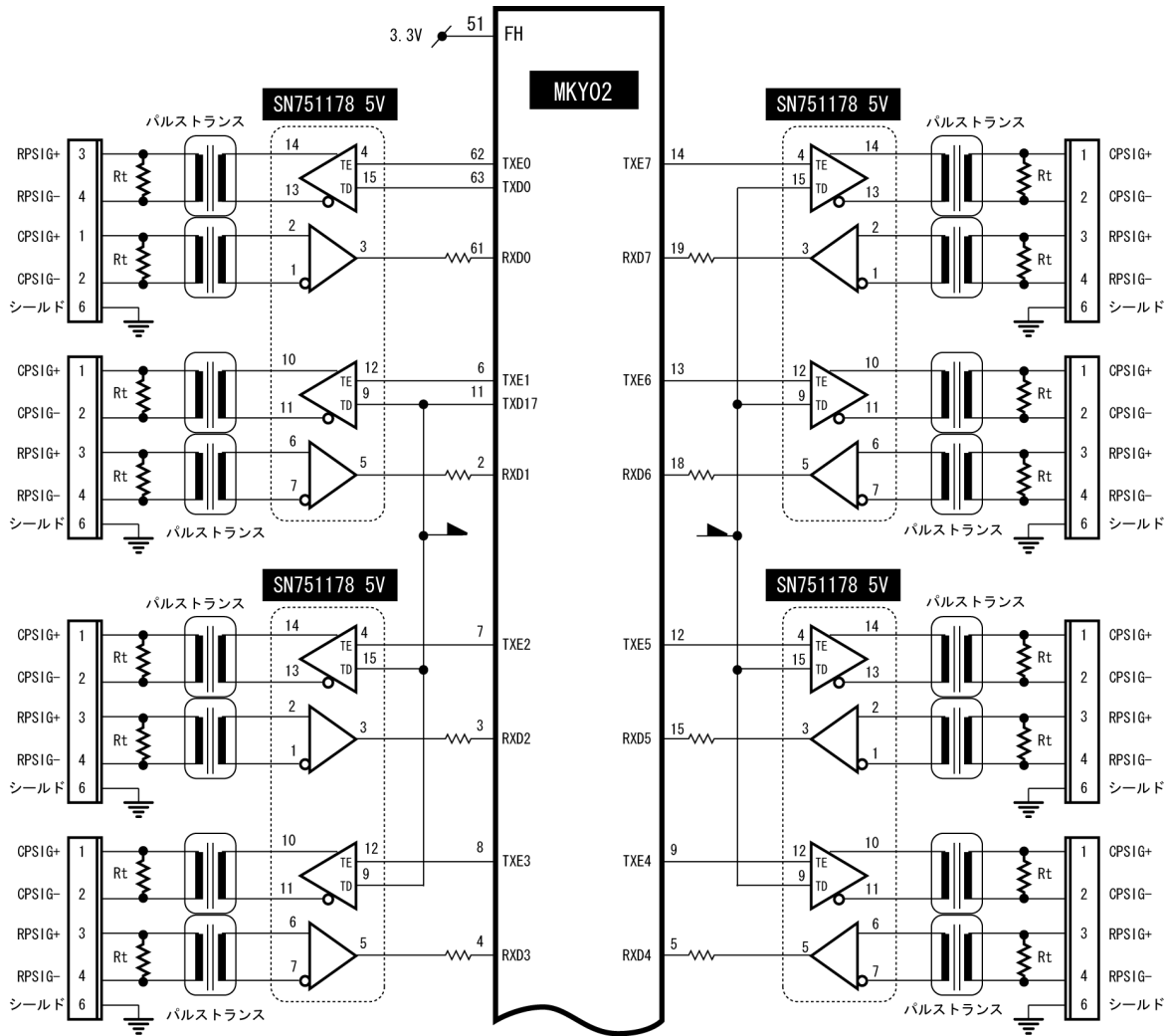


図4.11 フルデュプレックス通信方式対応例

第5章 定格

本章は、MKY02 の各種定格について記述します。

5.1	電氣的定格.....	5-3
5.2	AC 特性	5-3
5.3	パッケージ外形寸法	5-8
5.4	半田実装推奨条件.....	5-9
5.5	リフロー推奨条件.....	5-9

第5章 定格

本章は、MKY02 の各種定格について記述します。

5.1 電気的定格

表 5-1 に、MKY02 の絶対最大定格を示します。

表 5-1 絶対最大定格 (Vss=0)

項目	記号	定格	単位
電源電圧	VDD	-0.3 ~ +4.6	V
入力端子電圧	Vi	Vss-0.3 ~ +6.0	V
出力端子電圧	Vo	Vss-0.3 ~ +6.0	V
信号端子入力電流	li	-6 ~ +6	mA
ピーク出力電流	lop	Peak ± 20	mA
許容損失	PT	345	mW
動作周囲温度	Topr	-40 ~ +85	°C
保存温度	Tstg	-65 ~ +150	°C

表 5-2 に、MKY02 の電気的定格を示します。

表 5-2 電気的定格 (TA=25 °C Vss=0V)

項目	記号	条件	最小	標準	最大	単位
動作電源電圧	VDD		3.0	3.3	3.6	V
平均動作電流	VDDA	Vi=VDD または Vss Xi=50MHz、AX0=50MHz 出力開放	---	55	65	mA
平均動作電流 (6Mbps 動作時)	VDDA	Vi=VDD または Vss Xi=48MHz、AX0=24MHz 出力開放	---	30	40	mA
平均動作電流 (3Mbps 動作時)	VDDA	Vi=VDD または Vss Xi=48MHz、AX0=12MHz 出力開放	---	18	25	mA
外部入力動作周波数	Fclk	Xi 端子へ入力	---	48	50	MHz
入力端子容量	Ci	VDD=Vi=0V f=1MHz TA=25 °C	---	6	---	pF
出力端子容量	Co		---	9	---	pF
入出力端子容量	Ci/o		---	10	---	pF
入力信号の立上り/立下り時間	TIRF	---	---	---	20	ns
入力信号の立上り/立下り時間	TIRF	シュミットトリガ入力	---	---	30	μs

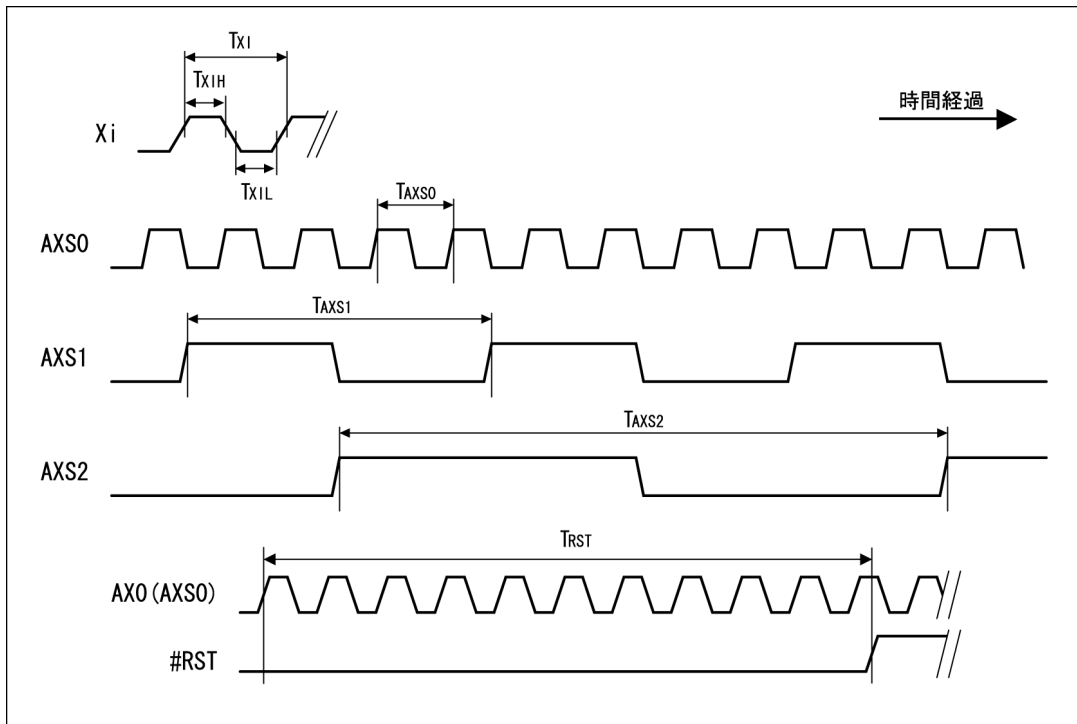
5.2 AC 特性

表 5-3 に、MKY02 の AC 特性測定条件を示します。

表 5-3 AC 特性測定条件

記号	名称	値	単位
COL	出力負荷容量	80	pF
VDD	測定電源電圧	3.3	V
TA	測定温度	25	°C

5.2.1 クロック、リセットタイミング



記号	名称	最小	最大	単位
T_{Xi}	クロック周期幅	20	---	ns
T_{XiH}	クロック Hi レベル幅	5	---	ns
T_{XiL}	クロック Lo レベル幅	5	---	ns
T_{RST}	リセット有効 Lo レベル幅	$10 \times TAX0$	---	ns

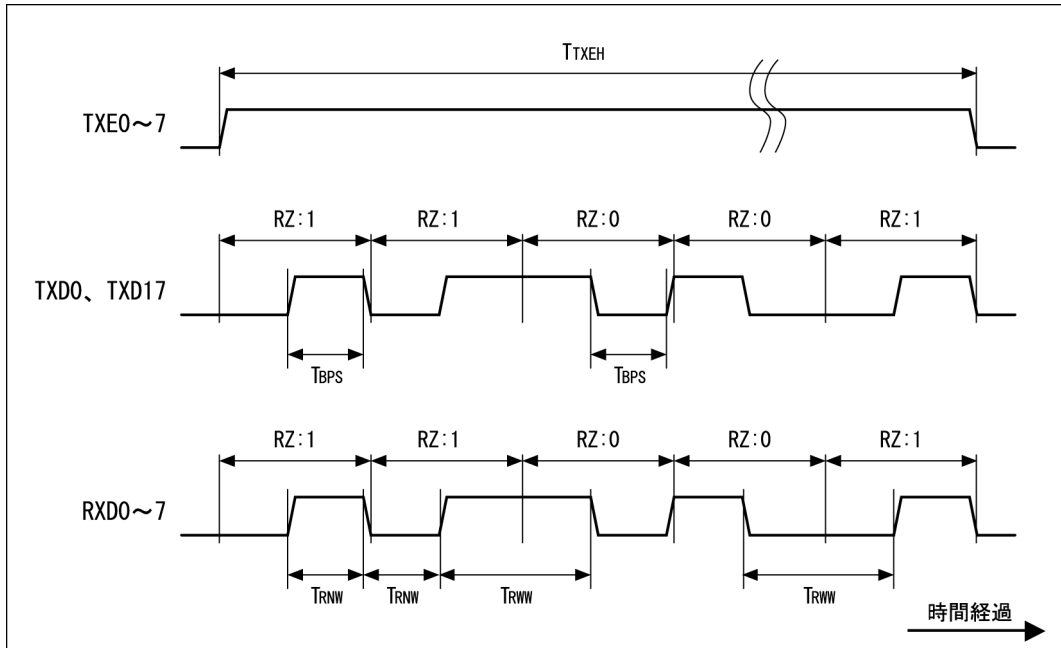
BPS1 端子	BPS0 端子	TAXS0 : TAX0	TAXS1 : TAX1	TAXS2 : TAX2	単位	備考 ($X_i=48\text{MHz}$ 時)
Hi	Hi	T_{Xi}	$4 \times T_{Xi}$	$8 \times T_{Xi}$	ns	12Mbps
Hi	Lo	$2 \times T_{Xi}$	$8 \times T_{Xi}$	$16 \times T_{Xi}$	ns	6Mbps
Lo	Hi	$4 \times T_{Xi}$	$16 \times T_{Xi}$	$32 \times T_{Xi}$	ns	3Mbps
Lo	Lo	$8 \times T_{Xi}$	$32 \times T_{Xi}$	$64 \times T_{Xi}$	ns	1.5Mbps



参考

AXS0 端子から出力されるクロックは、AX0 端子へ入力します。
 AXS1 端子から出力されるクロックは、AX1 端子へ入力します。
 AXS2 端子から出力されるクロックは、AX2 端子へ入力します。

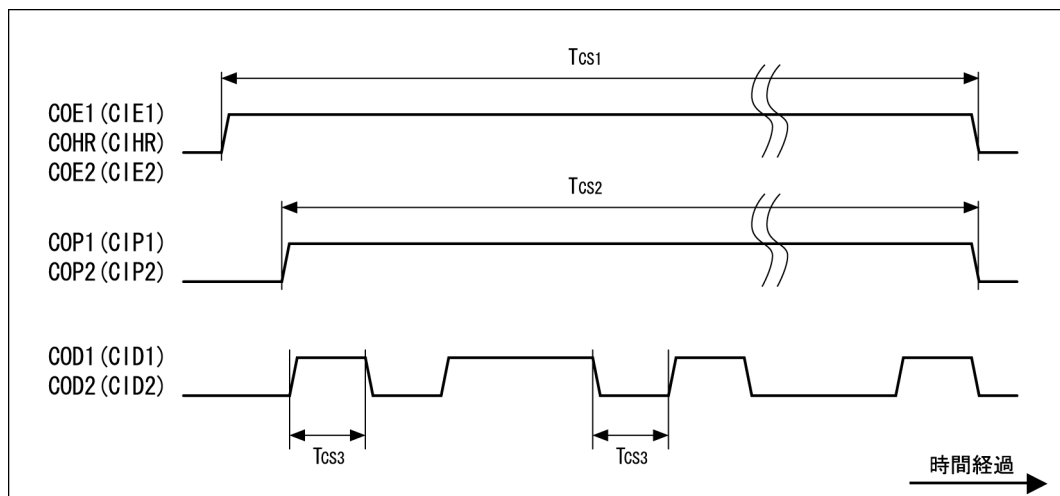
5.2.2 ポート端子タイミング (TXE0 ~ 7、TXD0、TXD17、RXD0 ~ 7)



記号	送信信号短パルス幅	単位
TBPS	TAX1 ± 5	ns

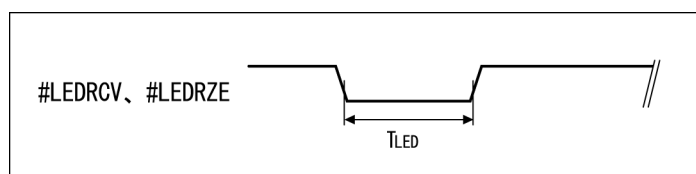
記号	名称	最小	標準	最大	備考
TTXEH	TXE 端子 Hi 期間	---	146 × TAX1	(146 × TAX2)+5ns	-----
TRNW	入力信号短パルス幅	0.51 × TAX1	1.0 × TAX1	1.49 × TAX1	RZ 信号として許容されるパルス幅
Trww	入力信号長パルス幅	1.51 × TAX1	2.0 × TAX1	2.49 × TAX1	RZ 信号として許容されるパルス幅

5.2.3 カスケード接続端子タイミング



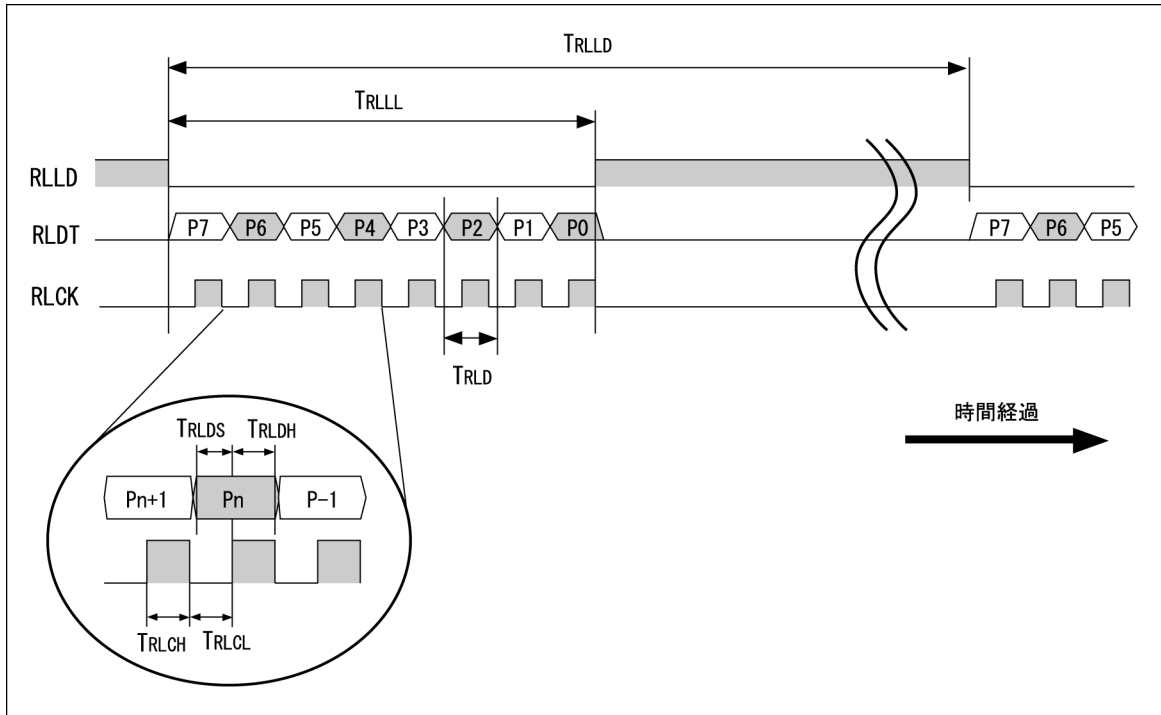
記号	名称	最小	標準	最大
TCS1	カスケード接続信号 1	---	$146 \times TAX1$	$(146 \times TAX1)+5ns$
TCS2	カスケード接続信号 2	---	$142 \times TAX1$	$(142 \times TAX1)+5ns$
TCS3	カスケード接続信号 3 (Hi または Lo レベルの短パルス幅)	$(2 \times TAX1) -5ns$	$2 \times TAX1$	$(2 \times TAX1)+5ns$

5.2.4 #LEDRCV 端子と #LEDRZE 端子の出カタイミング



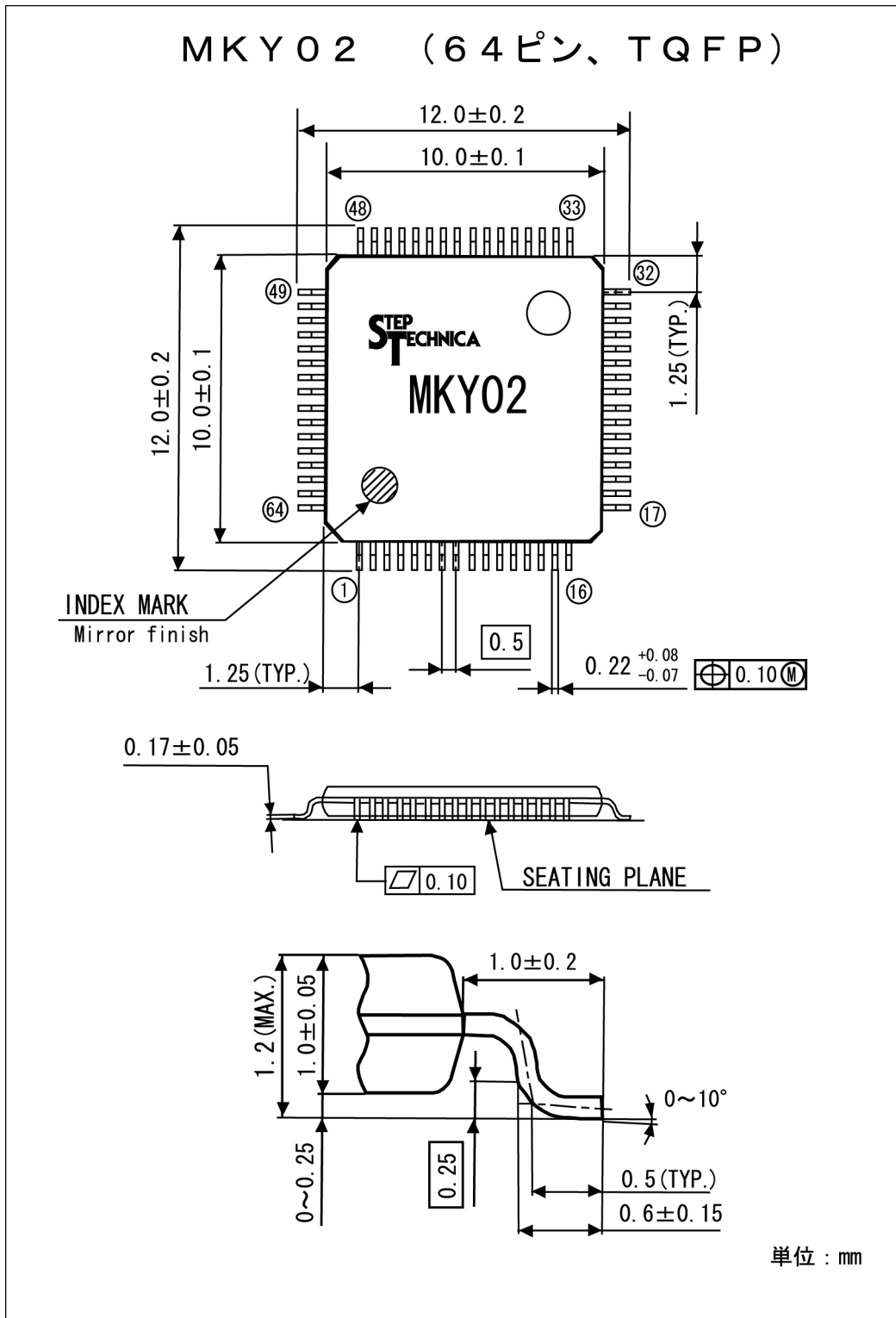
記号	名称	最小	最大	単位
TLED	端子 Lo レベル幅	$500,000 \times TAX1$	---	ns

5.2.5 ポート別受信モニタ端子タイミング (RLLD、RLDT、RLCK)



記号	名称	最小	標準	最大	単位
TRLLD	モニタ状態更新間隔	$(2^{17}-1) \times TAX1$	$(2^{17}) \times TAX1$	$(2^{17}+1) \times TAX1$	ns
TRLLL	RLDT 出力時間	$(2^{15}-1) \times TAX1$	$(2^{15}) \times TAX1$	$(2^{15}+1) \times TAX1$	ns
TRLD	RLDT ビット時間	$(2^{12}-1) \times TAX1$	$(2^{12}) \times TAX1$	$(2^{12}+1) \times TAX1$	ns
TRLDS	RLDT セットアップ	$(2^{11}-1) \times TAX1$	$(2^{11}) \times TAX1$	$(2^{11}+1) \times TAX1$	ns
TRLDH	RLDT ホールド	$(2^{11}-1) \times TAX1$	$(2^{11}) \times TAX1$	$(2^{11}+1) \times TAX1$	ns
TRLCH	RLCK Hi レベル幅	$(2^{11}-1) \times TAX1$	$(2^{11}) \times TAX1$	$(2^{11}+1) \times TAX1$	ns
TRLCL	RLCK Lo レベル幅	$(2^{11}-1) \times TAX1$	$(2^{11}) \times TAX1$	$(2^{11}+1) \times TAX1$	ns

5.3 パッケージ外形寸法



5.4 半田実装推奨条件

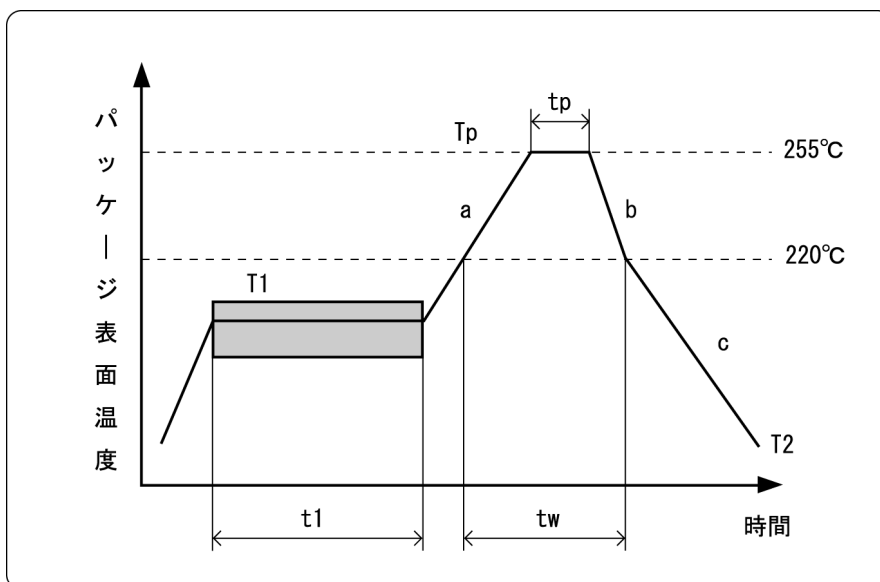
項目	記号	リフロー	手付け半田こて
ピーク温度（樹脂表面）	Tp	255℃以下	380℃以下
ピーク温度維持時間	tp	10秒以下	5秒以下



注意事項

- ① 製品保管条件：吸湿防止のため、 $T_A=40℃$ 以下、 $RH=85\%$ 以下としてください。
- ② 手付け半田法：こて温度 $380℃$ 、5秒以内。
(デバイスリード温度は $260℃$ 、10秒以内、パッケージ表面温度は $150℃$ 以内)
- ③ リフロー回数：最大2回まで可能
- ④ フラックス：無塩素のフラックスを推奨（十分に洗浄してください）。
- ⑤ 超音波洗浄の場合：周波数および基板形状などによって、共振が発生してリードの強度へ影響する場合がありますので十分注意してください。

5.5 リフロー推奨条件



項目	記号	値
プリヒート（時間）	t1	60～80秒
プリヒート（温度）	T1	150～190℃
昇温レート	a	1～4℃/秒
ピーク条件（時間）	tp	最大10秒
ピーク条件（温度）	Tp	255℃
冷却レート	b	～1.5℃/秒
冷却レート	c	～0.5℃/秒
高温領域	tw	220℃、60秒以内
取出し温度	T2	≤100℃



注意事項

本推奨条件は、温風リフローや赤外線リフローなどに適用します。温度は、パッケージ樹脂表面温度を示します。

更新履歴

バージョン No	更新年月日	ページ	更新内容
1.5	2009 年 4 月		
1.6	2016 年 6 月	iii	株式会社ウインの商標に関する説明削除
		5-5	TTXEH (TXE 端子 Hi 期間) の最大値訂正
1.7	2021 年 6 月	1-3	要望構成の④削除 注意事項削除
		1-9	「1.3.5 光ファイバへの対応」削除
		3-9	「3.3.3 ポート 1～7 の接続」 文書修正
			その他 (住所修正、URL 修正、誤字修正)
1.8	2024 年 3 月		住所変更

■開発・製造

株式会社ステップテクニカ

〒207-0021 東京都東大和市立野1-1-15

TEL: 042-569-8577

<https://www.steptechnica.com/>

info@steptechnica.com

HUB-IC MKY02 ユーザーズマニュアル
(ハイスピードリンクシステム用)

ドキュメント No. : STD_HLS02_V1.8J

発行年月日 : 2024 年 3 月